

541373

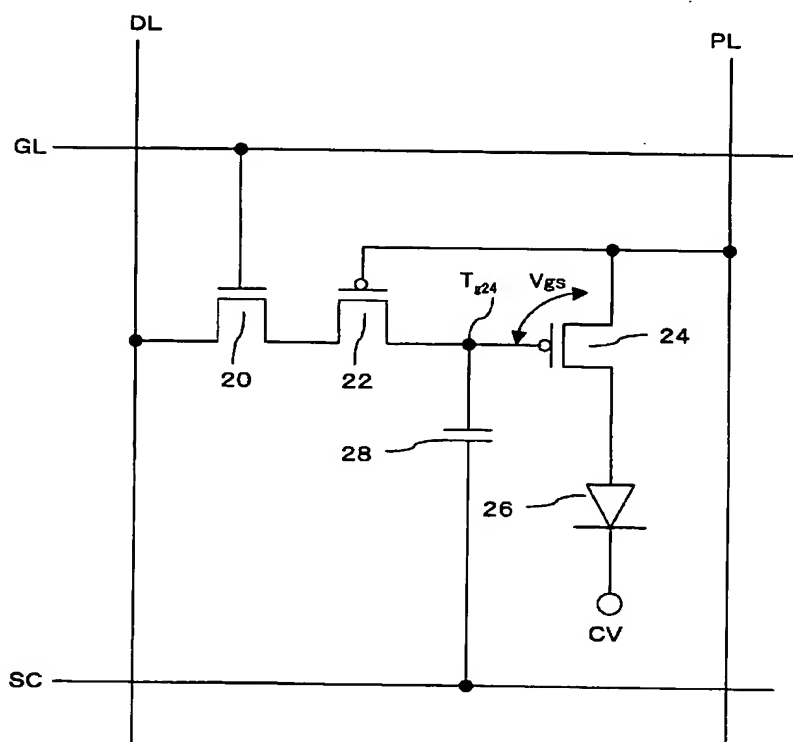


(10) 国際公開番号
WO 2005/045796 A1

- | | | |
|---|------------------------------|--|
| (51) 国際特許分類: | G09G 3/30, 3/20 | 5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP). |
| (21) 国際出願番号: | PCT/JP2004/016542 | |
| (22) 国際出願日: | 2004 年 11 月 8 日 (08.11.2004) | (72) 発明者; および |
| (25) 国際出願の言語: | 日本語 | (75) 発明者/出願人 (米国についてのみ): 古河 雅行 (KOGA, Masayuki) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 丸毛 浩二 (MARUMO, Koji) [JP/JP]; 〒5708677 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ: | | |
| 特願2003-378581 | 2003 年 11 月 7 日 (07.11.2003) | JP |
| 特願2004-154092 | 2004 年 5 月 25 日 (25.05.2004) | JP |
| (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO.,LTD.) [JP/JP]; 〒 | | (74) 代理人: 吉田 研二, 外(YOSHIDA, Kenji et al.); 〒1800004 東京都武蔵野市吉祥寺本町 1 丁目 3 4 番 1 2 号 Tokyo (JP). |

(54) Title: PIXEL CIRCUIT AND DISPLAY APPARATUS

(54) 発明の名称: 画素回路及び表示装置



(57) Abstract: A selecting TFT (20) and a correcting TFT (22) are turned on, thereby causing a data voltage on a data line to be held, as a gate voltage of a driving TFT (24), by a hold capacitor (28). After the selecting TFT (20) is turned off, the voltage of a capacitance line (SC) is caused to rise, thereby turning on the driving TFT (24) to cause a driving current to flow through an organic EL element (26). Here, the correcting TFT (22) is on before the rise of the capacitance line (SC), while it is turned off at a midpoint during the fall of the capacitance line (SC). Accordingly, the capacitance value of the correcting TFT (22) varies during the rise of the gate voltage, and the slope of the rise of the gate voltage of the driving TFT (24) varies, whereby the gate voltage after a fall of the capacitance line (SC) can be set in accordance with the variation of the threshold value of the driving TFT (24). Particularly, the driving TFT (24) and the correcting TFT (22) are disposed such that they are adjacent to each other, whereby their characteristics can be treated as the same and hence the correction can be effectively performed.

(57) 要約: 選択TFT(20)、補正TFT(22)がオンすることでデータラインのデータ電圧が駆動TFT(24)のゲート電圧として保持容量28に保持される。選択TFT(20)をオフした後、容量ラインSCの電圧を立ち下げ、これによって駆動TFT(24)をオンして駆動電流を有機EL素子(26)に流す。ここで、補正TFT(22)は、容量ラインSCの立ち下がり前はオンで、立ち下が

[続葉有]

WO 2005/045796 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

り途中でオフとなる。従って、ゲート電圧の立ち下がり中に補正TFT(22)の容量値が変化し、駆動TFT(24)のゲート電圧の立ち下がり勾配が変化し、これによって駆動TFT(24)のしきい値変化に対応して、容量ラインSC立ち下がり後のゲート電圧の設定が行える。特に、駆動TFT(24)と補正TFT(22)を隣接して配置することで、両者の特性を同一として補正を効果的に行うことができる。

明 細 書

画素回路及び表示装置

技術分野

- [0001] 本発明は、有機EL素子などの発光素子を含む画素回路及びそれをマトリクス状に配置した表示装置に関する。

背景技術

- [0002] 従来より、発光素子として有機EL素子を用いた有機ELパネルが知られており、その開発が進んでいる。この有機ELパネルにおいては、有機EL素子をマトリクス状に配置し、この有機EL素子の発光を個別に制御することで、表示を行う。特に、アクティブマトリクスタイプの有機ELパネルでは、画素毎に表示制御用のTFTを有し、このTFTの動作制御により画素毎の発光を制御できるため、非常に高精度の表示を行うことができる。
- [0003] 図13に、アクティブマトリクスタイプの有機ELパネルにおける画素回路の一例を示す。画素の輝度を示すデータ電圧が供給されるデータラインは、ゲートがゲートラインに接続されたnチャンネルの選択TFT10を介し、駆動TFT12のゲートに接続されている。また、駆動TFT12のゲートには、他端が保持容量ラインSCに接続された保持容量14の一端が接続され、駆動TFT12のゲート電圧を保持する。
- [0004] 駆動TFT12のソースは、EL電源ラインに接続され、ドレインは有機EL素子16のアノードに接続され、有機EL素子16のカソードがカソード電源に接続されている。
- [0005] このような画素回路がマトリクス状に配置されており、所定のタイミングで、水平ライン毎に設けられたゲートラインがHレベルとなり、その行の選択TFT10がオン状態になる。この状態で、データラインには、順次データ電圧が供給されるため、そのデータ電圧は保持容量14に供給保持され、ゲートラインがLレベルとなってもその時の電圧を保持する。
- [0006] そして、この保持容量14に保持された電圧に応じて、駆動TFT12が動作して対応する駆動電流がEL電源からの有機EL素子16を介し、カソード電源に流れ、有機EL素子16がデータ電圧に応じて発光する。

- [0007] そして、ゲートラインを順次Hレベルとして、入力されてくるビデオ信号を対応する画素にデータ電圧として順次供給することで、マトリクス状に配置された、有機EL素子16がデータ電圧に応じて発光し、ビデオ信号についての表示が行われる。
- [0008] しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動TFTのしきい値電圧がばらつくと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。
- [0009] そこで、駆動TFTにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。
- [0010] ここで、TFTのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある(例えば、特表2002-514320号公報)。
- [0011] しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいうという問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

発明の開示

- [0012] 本発明は、簡単な変更で、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。
- [0013] 本発明は、画素回路であって、データラインに一端が接続され、制御端に選択信号が入力される選択トランジスタと、この選択トランジスタの他端に一端が接続され、制御端が所定電圧の第1電源に接続される補正トランジスタと、この補正トランジスタの他端に制御端が接続され、一端が電流供給源としての第2電源に接続される駆動トランジスタと、この駆動トランジスタの制御端に一端が接続され、他端がパルス電圧ラインに接続された保持容量と、前記駆動トランジスタに流れる電流によって発光する発光素子と、を有し、前記パルス電圧ラインの電圧値を変更することで前記駆動トランジスタをオンする過程で、前記補正トランジスタのオンオフを変更し、これによって駆動トランジスタのオン時における制御端電圧を制御するとともに、前記駆動トラン

ジスタと、前記補正トランジスタとが、隣接して形成されている。

- [0014] また、前記データラインおよび電源ラインが垂直走査方向に伸び、前記補正トランジスタが前記データラインおよび電源ラインの間に形成されていることが好適である。
- [0015] また、前記駆動トランジスタは、前記電源ラインを挟んで、前記補正トランジスタの反対側に形成されることが好適である。
- [0016] また、前記選択トランジスタをオンした状態で、データラインに補正トランジスタがオンするデータ電圧を供給して、駆動トランジスタの制御端にデータ電圧に対応する電圧を保持し、その後前記選択トランジスタをオフし、その状態でパルス電圧ラインの電圧を変化させて駆動トランジスタの制御端電圧をシフトさせ、これによって補正トランジスタをオフするとともに、駆動トランジスタをオンして、データ電圧に応じた電流を駆動トランジスタに流すことが好適である。
- [0017] また、前記第1電源と、第2電源は同一の電源であることが好適である。
- [0018] また、前記補正トランジスタおよび駆動トランジスタは、pチャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することが好適である。
- [0019] 本発明の他の態様では、複数の画素がマトリクス状に配列された表示装置であって、各画素は、供給電力に応じた動作をする表示素子と、データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、第1導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続され、第2導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、第1電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に接続され、第2電極がパルス電圧ラインに接続された保持容量と、を有する。さらに、前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を、前記補正トランジスタがその動作しきい値に応じて制御する。また、前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、かつ、前記補正トランジスタと前記駆動トランジスタの少なくともチャ

ネル領域は、共にレーザアニールによって多結晶化された半導体層によって構成され、該チャネル領域が互いに近接配置されている。

- [0020] 本発明の他の態様では、上記画素回路や表示装置において、前記補正トランジスタのチャネル長方向と前記駆動トランジスタのチャネル長方向は、前記多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に平行に配置され、かつ、前記補正トランジスタのチャネル領域と前記駆動トランジスタのチャネル領域は、共に、前記パルスレーザの走査方向に直交する方向に引いた同一線上に少なくとも一部が位置している。
- [0021] 本発明の他の態様に係る表示装置では、前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、かつ、前記補正トランジスタの能動層の少なくとも一部が、間に絶縁層を挟んで前記電源ラインの下層位置に形成されている構成を採用することもできる。
- [0022] また本発明では、上記表示装置において、前記第1電源は電源ラインが兼用し、前記補正トランジスタの能動層と前記電源ラインとの層間に、前記電源ラインに接続された前記補正トランジスタの制御電極を形成しても良い。また、前記補正トランジスタは、前記データラインと前記電源ラインのライン間に、少なくとも一方のラインと一部が重なるように延在して形成された能動層を備えてもよい。
- [0023] 本発明の他の態様では、上記表示装置において、前記補正トランジスタのチャネル領域は、そのチャネル長方向において互いにチャネル幅の異なる部分を備える。
- [0024] 以上説明したように、本発明によれば、パルス電圧ラインの電圧値を変更することで駆動トランジスタをオンする過程で、補正トランジスタのオンオフ状態を変更し、これによって駆動トランジスタのオン時における制御端電圧を制御する。従って、補正トランジスタのしきい値電圧に応じて異なる電圧を対応する駆動トランジスタの制御端に設定することができる。そして、駆動トランジスタと、補正トランジスタとを隣接して形成しているため、駆動トランジスタと、補正トランジスタのしきい値電圧を同様の電圧に設定することが容易であり、補正トランジスタにより駆動トランジスタのしきい値電圧を補償でき、発光素子に流す電流量を均一にすることができる。
- [0025] また、データラインおよび電源ラインが垂直走査方向に延び、補正トランジスタをデ

ータラインおよび電源ラインのライン間に形成したり、駆動トランジスタを電源ラインを挟んで、補正トランジスタの反対側に形成するなどにより、効率的な配置が可能となり、発光素子などの表示素子をできるだけ大きくして開口率の高い表示装置を実現することができる。

[0026] 例えば、電源ラインの下層領域に、間に絶縁層を挟んで補正トランジスタの能動層を重ねて配置することで、1画素内の配置の自由度をより向上することができる。また、補正トランジスタの制御電極(ゲート電極)を電源ラインに接続する場合には、補正トランジスタの能動層が電源ラインの下方に位置してもそのチャネル領域には制御電極によって電源ラインと同一の電圧が印加されるのでトランジスタの動作に及ぼす影響を小さくできる。

[0027] また、補正トランジスタのチャネル長方向においてチャネル幅の異なる部分を設けることによって、1画素内での各トランジスタ等の配置の自由度を向上させることが可能となる。

[0028] また、パルス電圧ラインの電圧変動により、駆動トランジスタがオフからオンになると共に、補正トランジスタのオンオフ状態が切り替わり、その容量値が変化する。そして、補正トランジスタのしきい値変化に応じて駆動トランジスタのゲート電圧がどの電圧で補正トランジスタのオンオフが切り替わるかが変化する。また、パルス電圧ラインの変化に応じた駆動トランジスタのゲート電圧の変化は、補正トランジスタの容量値によるため、補正トランジスタのしきい値変動に応じて、ゲート電圧が変動することになる。よって、駆動トランジスタのしきい値変動を相殺するように駆動トランジスタのゲート電圧を変化させるために、補正トランジスタの特性と駆動トランジスタとの特性をできるだけ揃えることで制御が容易となる。

[0029] そこで補正トランジスタと駆動トランジスタのチャネル領域が共にレーザアニールによって多結晶化された半導体層によって構成される場合、少なくともこのチャネル領域を互いに近接配置することで特性を揃えることが容易となる。

[0030] 例えば、レーザアニールによって多結晶化した能動層を用いる場合に、補正トランジスタのチャネル長方向と駆動トランジスタのチャネル長方向を多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に対して平行に配置するこ

とで、トランジスタの電気移動度に及ぼす影響の大きいチャネル長方向に対して複数回のレーザパルス照射を照射することができ、画素毎に各トランジスタの特性ばらつき量を低減することができる。また、補正トランジスタのチャネル領域と前記駆動トランジスタのチャネル領域の位置を、共に、前記パルスレーザの走査方向に直交する方向に引いた同一線上に少なくとも一部が並ぶようにすることで、同一のレーザビームがこの2つのトランジスタのチャネル領域に照射されるため、その特性をより近づけることが可能となる。

[0031] また、前記第1電源と、第2電源は同一の電源とすれば、別々の電源ラインを設ける必要がなくなる。

[0032] また、補正トランジスタおよび駆動トランジスタを同一のpチャネルトランジスタとした場合、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変化することで、pチャネルトランジスタのゲート容量を有効に利用することができる。

図面の簡単な説明

[0033] [図1]本発明の実施形態に係る画素回路の構成を示す図である。

[図2]本発明の実施形態に係るゲートラインGL、容量ラインSCに印加される信号のタイミングを示す図である。

[図3]本発明の実施形態に係るゲート電圧 V_{g24} の変化状態を示す図である。

[図4]本発明の実施形態に係る画素回路に存在する容量を説明するための図である。

[図5]本発明の実施形態に係る画素の平面構成の一例を示す図である。

[図6A]図5のA-A線に沿った概略断面構成図である。

[図6B]図5のB-B線に沿った概略断面構成図である。

[図7]本発明の実施形態に係る補正TFTをマルチゲート化した場合の1画素あたりの等価回路を示す図である。

[図8]図7に示す等価回路を実現するレイアウトの一例を示す概略平面図である。

[図9]本発明の実施形態に係る選択TFT及び補正TFTの両方をマルチゲート化した場合の等価回路を示す図である。

[図10]図9に示す等価回路を実現するレイアウトの一例を示す図である。

[図11]図10に示すレイアウトの他の例を示す図である。

[図12]本発明の実施形態に係る更に別の回路構成例を示す図である。

[図13]従来の画素回路の構成を示す図である。

発明を実施するための最良の形態

[0034] 以下、本発明の実施形態について、図面に基づいて説明する。

[0035] 図1は、実施形態に係る1画素の画素回路の構成を示す図である。垂直走査方向に伸びるデータラインDLには、nチャネルの選択TFT20の第1導電領域(ドレイン)が接続されている。この選択TFT20のゲート(制御端)は水平走査方向に伸びるゲートラインGLに接続され、第2導電領域(ソース)は、pチャネルの補正TFT22の第1導電領域(ソース)に接続されている。なお、この選択TFT20は、pチャネルでもよく、pチャネルの場合には、ゲートラインGLに出力する選択信号(ゲート信号)の極性(HレベルまたはLレベル)を逆として駆動すればよい。

[0036] 補正TFT22の制御端(ゲート)は、電源ラインPL(電圧Pvdd)に接続され、第2導電領域(ドレイン)は、pチャネルの駆動TFT24の制御端(ゲート)に接続されている。さらに、駆動TFT24のゲートには、保持容量28の一端(第1電極)が接続され、この保持容量28の他端(第2電極)は、パルス状電圧で駆動されるパルス電圧ラインとして機能する保持容量ライン(以下容量ライン)SCに接続されている。この容量ラインSCはゲートラインGLと同様に水平走査方向に伸びるラインである。なお、別の電源ラインを設け、補正TFT22のゲートをその別の電源ラインに接続すれば、補正TFT22のオンからオフに切り替わるタイミングを任意に調整することができる。

[0037] 駆動TFT24の第1導電領域(ソース)は、垂直走査方向に伸びる電源ラインPLに接続され、第2導電領域(ドレイン)は有機EL素子26のアノードに接続されている。また、有機EL素子26のカソードは、所定の低電圧のカソード電源CVに接続されている。ここで、通常の場合、有機EL素子26のカソードは全画素共通になっており、このカソードがカソード電源CVに接続されている。

[0038] 有機ELパネルでは、このような画素回路がマトリクス状に配置されており、該当する水平ラインのビデオ信号が入力されてくるタイミングで、その水平ラインのゲートライン

がHレベルとなり、その行の選択TFT20がオン状態になる。これによって、補正TFT22のソースは、データラインDLの電位になる。

[0039] ここで、データラインDLには、データ電圧が供給される。このデータ電圧 V_{data} は、対応画素を表示するビデオ信号に対応したものであり、例えば白レベルから黒レベルを3〜5V程度で表現している。一方、電源ラインPLの電圧 P_{vdd} は、0V程度に設定される。従って、選択TFT20がオンして、補正TFT22(ここではソース)に、データラインDLのデータ電圧 V_{data} が印加されると、補正TFT22はオン状態になり、データ電圧 V_{data} が駆動TFT24のゲート(ノードTg24)にセットされる。すなわち、各画素へのデータ電圧 V_{data} の書き込み期間には、3〜5V程度の電圧が駆動TFT24のゲートにセットされる。なお、このときに保持容量28の他端の容量ラインSCは、+8V程度に設定されている。

[0040] このようなデータ電圧 V_{data} の駆動TFT24のゲートへの書き込みが終了した後、容量ラインSCの電圧を例えば−4Vに下げる。これに応じて、駆動TFT24のゲートは12V程度低下し、駆動TFT24がオンし、データ電圧に応じた電流が、駆動TFT24を介し電源ラインPLから有機EL素子26に供給され発光する。

[0041] ここで、補正TFT22は、容量ラインSCが+8Vから−4V程度にまで低下することで、そのドレイン(ノードTg24)の電圧が、3〜5Vから、基本的に−9V〜−7V程度の負電圧(後述するように、この電圧は少し異なる)になり、オン状態からオフ状態に変化する。補正TFT22のこのオンからオフへの変化に応じて補正TFT22のゲート容量が変化するため、その容量の変化タイミング、すなわち補正TFT22のしきい値 V_{th22} が、最終的な駆動TFT24のゲート電位を左右する。よって、補正TFT22によって駆動TFT24のしきい値電圧 V_{th24} のばらつきを補償することができる。

[0042] ここで、駆動TFT24は、電源電圧 P_{vdd} とゲート電圧 V_{g24} の差、すなわち V_{gs24} に応じてオンして対応する駆動電流を流す。この V_{gs24} が、そのTFTの特性で定まるしきい値電圧 V_{th24} より大きくなったときに、駆動TFT24は電流を流し始め、駆動電流量は、ゲート電圧 V_{g24} と、しきい値電圧 V_{th24} との差によって決定される。一方、基板上にマトリクス状に配置された多数の画素の各駆動TFT24のしきい値電圧 V_{th24} を完全に同一にすることは難しく、しきい値電圧 V_{th24} が、画素位置によって多少ばら

つくことは免れることができない。そして、有機EL素子26は、供給される駆動電流量に応じた輝度で発光するため、各画素の発光輝度は、駆動TFT24のしきい値電圧 V_{th24} のバラツキに応じて変動することになる。本実施形態に係る構成では、補正TFT22の容量変化によって、発光輝度のばらつきを補償する。

[0043] 以下、発光輝度のばらつき補償の原理について、図2および図3を参照して説明する。図3は、図2における長丸で示した容量ラインSCの立ち下がり時の状態を拡大して示した図である。まず、図2に示すように、ゲートラインGLは、その行(水平ライン)が選択されているときに、アクティブ(H)レベルになる。この例では、選択TFT20がnチャネルであり、ゲートラインGLは、Lレベル=-4V程度、Hレベル=8V程度に設定され、選択(アクティブ)の際には、8Vに設定される。

[0044] 一方、容量ラインSCの電圧 V_{sc} は、ゲートラインGLが選択される(Hレベルの)期間より、若干長めの期間、Hレベルとなる。すなわち、ゲートラインGLがHレベルとなる前にHレベルとなり、ゲートラインGLがLレベルとなった後にLレベルになる。

[0045] ゲートラインGLがHレベルの期間には、このゲートラインGLに対応する選択TFT20および補正TFT22がオンし、その際データラインDLに出力されているデータ電圧 V_{data} が、選択TFT20および補正TFT22を介してノードTg24に印加される。即ち、駆動TFT24のゲート電圧 V_{g24} が、データ電圧 V_{data} にセットされる。

[0046] ゲートラインGLがLレベルとなり、データ電圧 V_{data} の書き込み後、容量ラインSCの電圧が立ち下がり、これに応じてノードTg24の電位が低下していくことでやがて補正TFT22がオフする。駆動TFT24のゲート電圧 V_{g24} は、容量ラインSCの低下分(この例では8Vから-4Vへの12V)に応じて、データ電圧 V_{data} から所定電圧だけ低い電圧になり、この電圧に応じた駆動電流を流す。

[0047] 補正TFT22は、各画素毎に設けられており、かつその画素の駆動TFT24に隣接して形成されており、また駆動TFT24と同一の工程を経て作成される。特に、後述するように選択TFT20を含め例えば駆動TFT24及び補正トランジスタ22の能動層として、非晶質シリコンをレーザアニールによって多結晶化して得た多結晶シリコンを用いる場合など、駆動TFT24と補正TFT22の能動層領域に対して多結晶化のための同一のレーザパルスと同時に照射することで、TFT特性を揃えることができる。

また、能動層に注入する不純物濃度もほぼ同一とできる。従って、駆動TFT24と、補正TFT22は、しきい値電圧もほぼ同一のものになる。また、補正TFT22のゲートは、電源ラインPL(ここでは、 $P_{vdd}=0V$)に接続されているため、ノードTg24の電圧 V_{g24} の低下に従って、オンからオフに変化する。

[0048] このように、容量ラインSCの立ち下がり時において、pチャネルTFTである補正TFT22は、オンからオフに状態が変化し、一方駆動TFT24はオフからオンに状態が変化する。TFTは、そのゲート容量値 C_g が、オンまたはオフの状態によって変化する。したがって、駆動TFT24のゲート電圧 V_{g24} の変化は、2つのTFT22, 24のオンオフ状態の変化の影響を受ける。すなわち、TFTは、具体的には、TFTオン状態では、 C_g は大きく、オフ状態では小さい。オンの時にオフの時より容量が大きいため、電圧変化状態が容量変化の影響を受ける。

[0049] すなわち、補正TFT22がオンからオフになってそのゲート容量値 C_{g22} が小さくなると、電圧 V_{g24} の低下の傾き α が大きくなる。

[0050] 従って、ある画素の補正TFT22のオン状態からオフ状態に切り替わる切り替わり電圧が、図3における「切り替わり電圧A」であった場合には、ノードTg24の電圧(ゲート電圧 V_{g24})は、図において実線で示したように変化する。即ち、切り替わり電圧Aに至るまでは、ゲート電圧 V_{g24} は、一旦セットされたデータ電圧 V_{data} から第1の傾き α_1 で変化(低下)し、切り替わり電圧Aに到達後、第2の傾き α_2 で変化(低下)する。そして、駆動TFT24がオンになると、第3の傾き α_3 で変化(低下)し、容量ラインSCの電圧がLレベルになって所定期間経過後に、電圧 V_{g24} は、補正電圧 V_{cA} に設定される。

[0051] ここで、補正TFT22がオンからオフに変化する切り替わり電圧は、上述のように補正TFT22のゲート電圧である電源電圧 $P_{vdd}=0$ と、そのソース電圧の差 V_{gs22} で決まる。このため、切り替わり電圧A、Bは、電源電圧 P_{vdd} に補正TFT22のしきい値電圧 V_{th22} の絶対値を加算した電圧($P_{vdd} + |V_{th22}|$)に等しい。

[0052] 一方、補正TFT22のしきい値電圧 V_{th22} が、「切り替わり電圧A」より低い「切り替わり電圧B」である場合、ゲート電圧 V_{g24} は、図3に破線で示したように変化する。即ち、ゲート電圧 V_{g24} は、一旦セットされたデータ電圧 V_{data} から、切り替わり電圧Bに到達するまでは第1の傾き α_1 で変化(低下)し、到達後からは第2の傾き α_2 で変化(低下)し

、駆動TFT24がオンすると第3の傾き α_3 で変化(低下)し、容量ラインSCの電圧がLレベルになってから所定期間経過後に、電圧 V_{g24} は、補正電圧 V_{cB} に設定される。

[0053] このように、ノードTg24に、最初は、同一のデータ電圧 V_{data} が供給されても、最終的な駆動TFT24のゲート電圧 V_{g24} は、しきい値電圧が低いほど高い補正電圧 V_c に設定されることになる。

[0054] 上述のように、駆動TFT24のしきい値電圧 V_{th24} は、補正TFT22のしきい値電圧 V_{th22} に対応している。従って、駆動TFT24のしきい値電圧 V_{th24} が、「 $V_{th24}A$ 」であれば、ゲート電圧 V_{g24} は、しきい値電圧 $V_{th24}A$ に対応する補正電圧 V_{cA} になり、「 $V_{th24}B$ 」であれば、ゲート電圧 V_{g24} は、このしきい値電圧 $V_{th24}B$ に対応する補正電圧 V_{cB} に設定される。この例では、しきい値電圧 V_{th24} と補正後のゲート電圧 V_{g24} との差は、しきい値電圧が $V_{th24}A$ の場合でも $V_{th24}B$ の場合でも、同一である。すなわち、補正TFT22のサイズ、電源電圧値 P_{vdd} 、駆動TFT24のサイズ、保持容量28の容量値 C_s などの設定によって、データ電圧 V_{data} が同一であれば、駆動TFT24のしきい値電圧 V_{th24} が画素毎に異なっても、しきい値電圧 V_{th24} とゲート電圧 V_{g24} との差を一定にすることが可能であり、駆動TFT24のしきい値電圧 V_{th24} のバラツキの影響を排除することができる。

[0055] ここで、以上のような補償を行うためには、第2の傾き α_2 が、第1の傾き α_1 の2倍になるように、条件を設定することが好適である。この条件設定について図3に基づいて説明する。図3に示すように、補正TFT22がオン状態であるとした場合は、その容量値 C_{g22} がオフ時に比べて大きいため、ゲート電圧 V_{g24} の変化は、パルス駆動電圧の変化による影響が抑制されて、傾き α_1 は小さくなる。一方、補正TFT22がオフ状態である場合は容量値 C_{g22} が小さく、パルス駆動電圧の変化による影響が大きいため傾き α_2 が大きい。さらに、傾き α_2 は傾き α_1 の2倍の大きさになるように条件設定しているため、パルス駆動電圧がLレベルになったときのゲート電圧 V_{g24} の減少分は、補正TFT22がオフ状態の時にオン状態のときの2倍になる。

[0056] すなわち、2つの駆動TFT24のしきい値電圧の差 ΔV_{th24} と、2つの補正TFT22のしきい値電圧の差 ΔV_{th22} が等しくなるようにTFTを構成し、補正TFT22のオンからオフに変わったときの傾きを2倍にすることによって、 $\Delta V_{th22} = \Delta V_{th24}$ となり、2つの補正

電圧(V_{cA} 、 V_{cB})の差 ΔV_c は、 $\Delta V_c = \Delta V_{th24}$ を満たす。

[0057] すなわち、図3において、

(i) 2つの補正TFT22の切り替わり電圧AとBとの差(ΔV_{th22})、

(ii) 切り替わり電圧B(切り替わりタイミングの遅い方:ここでは低い方の電圧)と、その画素のノードTg24Bが切り替わり電圧Bに到達したときに、切り替わり電圧Aの補正TFT22を備える画素におけるノードTg24Bの電圧 V_{g24A} との差($\Delta V_{th22}'$)、

(iii) 2つの駆動TFT24の切り替わり電圧の差(ΔV_{th24})、

(iv) 補正電圧 V_{cA} 、 V_{cB} との差(ΔV_c)

は全て等しくなる。

[0058] なお、データ電圧 V_{data} として書き込まれる電圧であるサンプリング電圧が変化した場合でも、傾きが変わらないので、切り替わり電圧差 ΔV_{th22} と、補正電圧差 ΔV_c が等しくなることには変わりはなく、常にしきい値電圧の変動を補償することができる。

[0059] また、実験によれば、データ電圧の電位差は、補償動作後の補正電圧において、2倍に増幅される。従って、データ電圧の範囲を小さくして、十分な駆動TFT24のゲート電圧の差を保持することができ、データ電圧を供給する回路の負荷が小さく作成が容易になるという効果も得られる。

[0060] なお、上述のように、容量ラインSCの電圧を立ち下げる際の駆動TFT24のゲート電圧変化は、特に補正TFT22のゲート容量値 C_{g22} と、駆動TFT24のゲート容量値 C_{g24} 、保持容量28の容量値 C_s 、および配線の寄生容量 C_w の影響を受ける。

[0061] 上述した V_{g24} の変化のメカニズムについて、電荷の移動量に基づいて説明する。ここで、保持容量28の容量値を C_s 、補正TFT22のゲート容量を C_{g22} 、駆動TFT24のゲート容量を C_{g24} 、補正TFT22のしきい値電圧を V_{th22} 、駆動TFT24のしきい値電圧を V_{th24} とするとともに、保持容量28の容量値 C_s =補正TFT22のゲート容量 C_{g22} に設定する。

(i) まず、駆動TFT24のゲート電圧 $V_{g24} = V_{data}$ の状態から、容量ラインSCを12V下げると、ノードTg24の電圧 V_{g24} も12V下がるはずである。この変化のみを考慮した V_{g24} を V_{g24}' と表せば、

$$V_{g24}' = V_{data} - 12$$

となる。

(ii) 補正TFT22のゲート容量を C_{g22} とすると、この補正TFT22から流れ出し、保持容量28に流れ込む電荷量 Q_{f22} は、

$$Q_{f22} = C_{g22} \times (V_{data} - |V_{th22}|)$$

である。

[0062] ここで、本実施形態では、上述のように $C_{g22} = C_s$ であり、ノードTg24の電圧 V_{g24} は、 $(V_{data} - |V_{th22}|)$ だけ上昇する。よって、この上昇分を考慮した電圧 V_{g24}'' は、

$$V_{g24}'' = 2V_{data} - 12 - |V_{th22}|$$

となる。

(iii) さらに、保持容量28には、駆動TFT24のゲートからも電荷が流れ込む。この電荷量 Q_{f24} は、駆動TFT24の最終的なゲート電圧を V_{g24} として、

$$Q_{f24} = -C_{g24}' \times (V_{g24} + |V_{th24}|)$$

となる。ここで、 C_{g24}' は、駆動TFT24におけるオフ時とオン時の容量差であり、SPICE(スパイスシミュレータ)のMEYERの式を用いて計算した $C_{g24}' = C_{g24} \times 2/3$ の値を用いた。

(iv) 駆動TFT24のゲート電圧 V_{g24} は、電荷 Q_{f24} が保持容量28に流れ込んだ分だけ、ずれた電圧とすればよい。従って、

$$\begin{aligned} V_{g24} &= V_{g24}'' + Q_{f24} / C_{g22} \\ &= V_{g24}'' - C_{g24}' (V_{g24} + |V_{th24}|) / C_{g22} \end{aligned}$$

これを書き直すと、最終 V_{g24} は、

$$\begin{aligned} &(1 + C_{g24}' / C_{g22}) V_{g24} \\ &= 2V_{data} - 12 - |V_{th22}| - (C_{g24}' / C_{g22}) |V_{th24}| \end{aligned}$$

となる。

[0063] $V_{th22} = V_{th24} = V_{th}$ であれば、

$$V_{g24} = -|V_{th}| + (2V_{data} - 12) / (1 + C_{g24}' / C_{g22})$$

となる。

[0064] この式における右辺第二項は、レイアウト寸法による固定値なので、 V_{g24} は V_{th} 分ずれることになり、駆動TFT24のしきい値電圧 V_{th} にずれがあってもこれを補償すること

ができることになる。

[0065] なお、厳密には、配線に対する寄生容量についても、考慮する必要があり、これを考慮して、設定するとよい。また、電源電圧Pvddが0Vでない場合には、その値を考慮すればよい。

[0066] また、補正TFT22のしきい値電圧 V_{th22} と、駆動TFT24のしきい値 V_{th24} が異なる場合にも、駆動TFT24のしきい値 V_{th24} だけ、そのゲート電圧 V_{g24} がずれるのが望ましい。このためには、上述の式における C_{g24}'/C_{g22} を調整すればよい。ただし、あまり大きな調整は、困難であり、なるべく

$V_{th22} = V_{th24}$ となるようにTFTを形成することが好ましい。

[0067] 次に、本発明の実施形態に係る画素回路における各種容量の関係について、さらに図4を参照して説明する。本実施形態に係る画素回路には、保持容量Csの他、上述の補正TFT22のゲート容量 C_{g22} 、駆動TFT24のゲート容量 C_{g24} や各種の寄生容量が接続されている。例えば、図4のように、補正TFT22のドレインと駆動トランジスタ24のゲートとの接続点(ノード)Tg24と電源ラインPLとの間の寄生容量 C_{w1} 、補正TFT22のソースと選択TFT20のソースとの接続部と電源ラインPLとの間の寄生容量 C_{w2} が存在する。これらの寄生容量と図3のノードTg24の電圧 V_{g24} の低下の傾き α との関係を示すと、図3において、データ電圧Vdataから切り替わり電圧(A又はB)に到達する迄の傾き α_1 は、

$$\alpha_1 = Cs / (C_{w1} + C_{w2} + Cs + C_{g22})$$

で示することができる。これらの寄生容量(C_{w1} 、 C_{w2} 、 C_{g22})の全てにそれぞれ一定の電荷が充電された状態から、保持容量Csに電荷が流れ込むため、ゲート電圧 V_{g24} の低下する傾き α_1 は、このような式で表される。

[0068] 次に、図3において、切り替わり電圧到達後、駆動TFT24がオンするまでの期間のノードTg24の電圧 V_{g24} の低下の傾き α_2 は、

$$\alpha_2 = Cs / (Cs + C_{w1})$$

で表される。これは、切り替わり電圧到達後には、補正TFT22がオフとなり、そのゲート容量 C_{g22} と、そのソースと電源ラインPLとの間の寄生容量 C_{w2} が、電氣的に保持容量Cs(容量値Cs)から切り離されるからである。

ここで、上述のように、 $\alpha_2 = 2 \times \alpha_1$ に設定されている。従って、 $C_s = C_{g22} - C_{w1} + C_{w2}$ を満たすように保持容量28の容量 C_s を設定することで、容量ラインSCの電圧を立ち下げた際、補正TFT22のオンからオフへの切り替わりによって、駆動TFT24のゲート電圧 V_{g24} の降下の傾き α_2 を α_1 の2倍に設定することができ、駆動TFT24のしきい値電圧変動の適切な補償を行うことができる。

[0069] また、図3に示す駆動TFT24がオンした後の傾き α_3 は、

$$\alpha_3 = C_s / (C_s + C_{w1} + C_{g24})$$

で表される。

[0070] C_{g24} は、上述のように駆動TFT24のゲート容量であり、駆動TFT24がオンすることで、この容量 C_{g24} は保持容量28に接続され、電圧降下の傾き α_3 は、この容量 C_{g24} の影響も受けることになる。この駆動TFT24がオンするタイミング t_{on24} は、上述のように駆動TFT24の切り替わり電圧、即ちそのしきい値電圧 V_{th24} によらず、各画素で同時である。具体的には、各補正TFT22がそのしきい値 V_{th22} のばらつきに応じたタイミングでそれぞれオフすることで、各画素回路で、ゲート電圧 V_{g24} が、電源電圧 P_{vdd} からそれぞれの V_{th24} に応じた分だけ低い電圧に同時に到達したタイミングである。

[0071] 次に、このような画素回路を備える画素のレイアウトについて、図5及び図6A、図6Bを参照して説明する。図5は、1画素における概略平面構造、図6A及び図6Bは、図5のA-A線、B-B線に沿った概略断面構造をそれぞれ示す。

[0072] ガラスなどの透明な絶縁基板100の上にはパツファ層102が形成されており、その上に形成され、かつ多結晶シリコンからなる各TFTの能動層、及び容量電極を構成する半導体層(120、124、28e)は、図5において、破線で示している。また、図5において、上記半導体層よりも上方に形成され、Crなどの高融点金属材料が用いられたゲートラインGL、容量ラインSC及び補正TFT22のゲート電極22g、駆動TFT24のゲート電極24gは、一点鎖線で示す。また、半導体層や上記GL、SCよりも上方に形成され、Alなどの低抵抗金属材料が用いられたデータラインDL、電源ラインPL、これらと同層の金属配線24wは、実線で示している。

[0073] 図5に示すレイアウトでは、各画素は、表示装置の水平走査(H)方向に沿って形成されるゲートラインGLの行間と、概ね表示装置の垂直走査(V)方向に沿って形成さ

れるデータラインDLの行間との位置に構成されている。また、電源ラインPLは、データラインDLとほぼ並んで垂直走査方向(マトリクス列方向)に形成されており、各画素領域内では、データラインDLとこのデータラインDLに接続される画素の有機EL素子26との間を通っている。そして、後述するように選択TFT20、補正TFT22及び保持容量28はデータラインDLと電源ラインPLとの間、駆動TFTと有機EL素子26は、電源ラインPLと隣の列のデータラインDLとの間に配置されている。

[0074] 選択TFT20は、ゲートラインGLとデータラインDLとの交点付近に形成されている。ゲートラインGLからは、画素領域に向かって突出部が形成され、層間にゲート絶縁膜104を挟んで、ゲートラインGLに沿って延びる半導体層120の一部分を横切るように覆っている。このゲートラインGLからの突出部がTFT20のゲート電極20gとなり、半導体層120のこのゲート電極20gに覆われた領域がチャンネル領域になっている。

[0075] 選択TFT20に接続されている補正TFT22は、データラインDLと電源ラインPLとに挟まれた領域にそのチャンネル長方向がデータラインDLの延在方向(垂直走査方向)に沿うように配置されている。また、この補正TFT22の能動層は、データラインDLと一部が重なるようにデータラインDLの下層に形成されている。この補正TFT22と次行のゲートラインGLに近接して配置された容量ラインSCとの間には、より具体的には該容量ラインSCに沿って、保持容量28が配置されている。また駆動TFT24が、電源ラインPLを挟んで補正TFT22の形成領域と反対側の領域(有機EL素子領域26側)に配置されており、その能動層を構成する半導体層124の少なくともチャンネル領域24cは、補正TFT22のチャンネル領域22cとできるだけ近接して配置されるようにレイアウトされている。

[0076] ここで、本実施形態において、選択TFT20の能動層と、補正TFT22の能動層及び保持容量28の容量電極28eは、単一の半導体層120によって一体的に形成されている(もちろん、それぞれ独立層として、かつそれぞれを所定配線で電氣的に接続しても良い)。

[0077] 選択TFT20の形成領域では、データラインDLと半導体層120とは、ゲート絶縁膜104及び層間絶縁膜106を貫通して形成されたコンタクトホールにおいて接続されている。そして、この半導体層120は、データラインDLの下層領域(データラインDL

とのコンタクト領域)からゲートラインGLに沿って電源ラインPLと重なる位置まで延び、重なった位置から電源ラインPLの下層を電源ラインPLの延在方向に沿って垂直走査方向に延びる。さらに、この半導体層120は、補正TFT22のゲート電極22gと電源ラインPLとのコンタクト付近の手前で、電源ラインPLの下層位置からゲートラインGLの延在方向に平行な方向に曲がり、データラインDLに向かって延びる。

[0078] なお、選択TFT20の形成領域では、半導体層120は、データラインDLと接続された不純物注入領域が第1導電領域(例えばドレイン領域20d)となり、ゲート電極20gと重なり不純物の注入されない真性領域がチャネル領域20cを構成し、このチャネル領域20cを挟んだ反対側に、第1導電領域と同じ導電型の不純物が注入された第2導電領域(例えばソース領域20s)が構成されている。

[0079] 電源ラインPLの下層からデータラインDLに向かって延びた半導体層120は、データラインDLと再び交差する付近(選択TFT20の第1導電領域20d付近)でデータラインDLの延在方向に曲がり、少なくとも一部が電源ラインPLの形成領域に重なりながら(この例ではデータラインDLとも一部重なっている)、データラインDLと電源ラインPLとの間の領域を容量ラインSCの形成領域まで垂直走査方向に延在している。

[0080] また、半導体層120がデータラインDLに沿って配置された領域は、補正TFT22の能動層を構成しており、この能動層のゲート絶縁膜104を挟んだ上方には、補正TFT22のゲート電極22gが配置され、このゲート電極22gは、層間絶縁膜106に形成されたコンタクトホールを介して電源ラインPLに接続されている。このゲート電極22gは、電源ラインPLとのコンタクト位置からデータラインDLに向かって延び、半導体層120(補正TFT22の能動層)と重なる位置で曲がり、データラインDLの延在方向に延び、半導体層120の上層を覆い、かつデータラインDL及び電源ラインPLと一部重なるようにこれらの下層に形成されている。

[0081] 半導体層120のゲート電極22gに覆われた領域は、補正TFT22の不純物のドーピングされていないチャネル領域22cとなり、チャネル領域22cを挟んで選択TFT20側には該選択TFT20とは異なる導電型の不純物が注入された第1導電領域(ここでは例えばソース領域22s)が形成され、容量ラインSC側には第1導電領域22sと同一の不純物の注入された第2導電領域(ここではドレイン領域22d)が形成されている。な

お、データラインDL及び電源ラインPLとこの補正TFT22の少なくともチャネル領域22cをこれらのラインと一部重ねてそれらの下層に形成することで、補正TFT22をデータラインDLと電源ラインPLの間の非常に狭い領域内に効率的に配置することが可能となっている。また、ゲート電極22gをそのチャネル領域22cとデータラインDL及び電源ラインPLとの層間に配置することでチャネル領域22cがデータラインDLから電氣的にシールドされており、補正TFT22の動作がデータラインDLに印加されるデータ信号の影響を受けることが防がれている。また、少なくとも補正TFT22のゲート電極22gは電源ラインPLに接続されているので、この補正TFT22の能動層、特にチャネル領域22cが電源ラインPLと重なるように配置されても、チャネル領域22cに対して印加される電圧はゲート電極22gに覆われるのと実質的に変わらない。よって、補正TFT22の能動層の大半の領域を電源ラインPLの下層に形成することも可能であり、このような配置とすれば、1画素内での開口率、つまり発光に寄与する有機EL素子26の形成面積を最大限大きくすることが可能となる。

[0082] 半導体層120は、補正TFT22の第2導電性領域の形成領域から容量ラインSCに向かって延び、容量ラインSCと交差する位置で曲がり、容量ラインSCの延在方向である水平走査方向に、この容量ラインSCと、間にゲート絶縁膜104を挟んで重なるようにパターニングされ、半導体層120の容量ラインSCと重なる領域が容量電極(第1電極)28eとして機能し、容量ラインSC(第2電極)と、この容量電極28eとが、間にゲート絶縁膜104を挟んで対向配置される領域が保持容量28となっている。

[0083] 補正TFT22の第2導電領域22dと保持容量28の容量電極28eとの間には、層間絶縁膜106及びゲート絶縁膜104に形成されたコンタクトホールを介して金属配線24wが接続されている。この金属配線24wは、容量ラインSCの延在方向に沿って形成され、層間絶縁膜106に形成されたコンタクトホールにおいて、駆動TFT24のゲート電極24gと接続されている。

[0084] 駆動TFT24のゲート電極24gは、金属配線24wとのコンタクト領域から自行のゲートラインGLの形成方向(図では上方向)に向かって延び、途中で電源ラインPLの下層を横切り、電源ラインPLの有機EL素子26側にこの電源ラインPLの延在方向に沿って形成されている。

[0085] ここで、電源ラインPLは、補正TFT22のゲート電極22gとのコンタクト領域付近からデータラインDLに近づくように曲がり、上記金属配線24wの近くでは、その形成領域を迂回するよう有機EL素子26側に曲がり、駆動TFT24の能動層を構成する半導体層124とのコンタクト付近からは次行の画素に向かって垂直走査方向に延びている。そして、駆動TFT24は、電源ラインPLがデータラインDL側に近づくことで有機EL素子26との間に形成されたスペースに形成されている。

[0086] 駆動TFT24の能動層を構成する半導体層124には、上方がゲート電極24gに覆われた領域にチャネル領域24cが形成され、電源ラインPLとの接続側には第1導電領域(ここではソース領域24s)が形成され、さらに、有機EL素子26との接続側に第2導電領域(ここではドレイン領域24d)が形成されている。チャネル領域24cは、不純物のドーピングされない真性領域で、その両側に形成される第1及び第2導電領域(24s及び24d)には、上記補正TFT22と同一の導電型の不純物がドーピングされている。なお、駆動TFT24の第1導電領域24sは、層間絶縁膜106及びゲート絶縁膜104に形成されたコンタクトホールにおいて、電源ラインPLと接続されている。また駆動TFT24の第2導電領域24dは、層間絶縁膜106及びゲート絶縁膜104に形成されたコンタクトホールにおいて、例えば上記電源ラインPLなど同一材料からなる接続電極24eと接続されている。

[0087] また、図6A、図6Bに示すように、データラインDL、電源ラインPL、上記金属配線24w、接続電極24eを覆う基板全面には、上面を平坦にするための有機樹脂などからなる平坦化絶縁層108が形成されている。そして、この平坦化絶縁層108には、上記駆動TFT24に接続された接続電極24eの形成領域においてコンタクトホールが形成されており、このコンタクトホールを介して、平坦化絶縁層108の上に形成された有機EL素子26の第1電極262(ここでは陽極)と、接続電極24eとが接続されている。なお、接続電極24eを設けない場合には、駆動TFT24の第2導電領域24dの形成領域において平坦化絶縁層108及び層間絶縁膜106及びゲート絶縁膜104を貫通するコンタクトホールを形成し、有機EL素子26の第1電極262と第2導電領域24dとを直接接続する。

[0088] 図6Bに示すように、有機EL素子26は、基板側に形成され、駆動TFT24に接続さ

れる画素毎に個別パターンの第1電極262と、第2電極264との間に、発光素子層270を備える。第1電極262は例えばITO (Indium Tin Oxide) 等の透明な導電性金属酸化物等を用いて形成することができ、ここでは陽極(正孔注入電極)として機能する。第2電極264は、例えばAlやAg等の仕事関数の小さい金属材料や、そのような金属材料と上記ITOなどとの積層構造によって構成でき、ここでは陰極(電子注入電極)として機能する。なお、画素毎に個別パターンに形成された第1電極262のエッジ部分を、平坦化絶縁層108のさらに上層に形成された第2平坦化絶縁層110によって覆い、非常に薄く形成される発光素子層270の上に形成される第2電極264とこの第1電極262とが短絡することを防止している。

[0089] 発光素子層270は、この例では正孔輸送層272、発光層274、電子輸送層276の3層構造である。3層構造には限らず、用いる有機材料などにより、発光機能を備えた単独層でも、2層でも、また4層以上の積層構造あっても良い。発光素子層270として、多層構造を採用する場合に、全層を各画素共通で形成しても良いし、多層のうちの一部又は全層、例えば、図6Bに示すように、発光層274のみを第1電極262と同様の画素毎に個別パターンとしても良い。

[0090] このような構成の有機EL素子26は、本実施形態においては、電源ラインPLから駆動TFT24を介して第1電極262に供給される電流が、第2電極264との間に流れ、電流量に応じた輝度で発光素子層で発光が起きる。なお、発光は、第1電極262から注入される正孔と第2電極264から注入される電子が発光素子層中で再結合し、これによって励起された発光分子が基底状態に戻る際に発光することで得られ、この例では、光は透明な第1電極262及び基板100を透過して基板から外部に射出され、視認される。

[0091] 本実施形態においては、上述のように電源ラインPLを挟んで上記補正TFT22と駆動TFT24が、できるだけ近接して配置されるようにレイアウトされている。特に、補正TFT22のチャネル領域22cと、駆動TFT24のチャネル領域24cは、そのチャネル領域の少なくとも一部が垂直走査方向において互いに並ぶように形成されている。

[0092] 本実施形態において画素内に形成される各TFTの能動層は、プラズマCVDなど

によって形成された非晶質シリコン層に対し、ライン状に整形されたパルスレーザ(図5参照)を、その長手方向が水平走査方向に一致するように設定し、その幅方向に所定ピッチずつずらしながら順次照射することで多結晶化アニールして得た低温多結晶シリコン(LTPS)層を用いる。レーザビームの走査方向は、そのレーザビームの幅方向であって、かつデータラインDL等の延在方向である垂直走査方向に一致させる。図5に示すように、補正TFT22と駆動TFT24の各チャンネル領域22c、24cは、そのチャンネル長方向がデータラインDL等の延在方向、つまりレーザビームの走査方向に一致するように配置されている。従って、レーザビームの走査ピッチを補正TFT22及び駆動TFT24のチャンネル長よりも小さくすることにより、いずれのチャンネル領域22c、24cに対してもそのチャンネル長方向において、チャンネルを横切るように(チャンネル幅方向に)必ず複数回レーザビームが照射されることとなる。これにより、各レーザビームのエネルギーにばらつきが生じた場合でも、いずれのチャンネル領域22c、24cについても複数のレーザビームが照射されるので、全チャンネル長方向において受けたエネルギーの総量のばらつきをどの画素においても小さくすることができる。

[0093] また、いわゆるレーザアニールによって形成された多結晶シリコン層をTFTの能動層に用いる場合に、同一のパルスレーザビームを補正TFT22及び駆動TFT24のチャンネル領域22c、24cとなる領域に同時に照射するように、チャンネル領域22c、24cとを近接配置することで、TFT特性(特にしきい値)に大きな影響を与える多結晶化状態を両TFTで等しくすることが容易となる。

[0094] ここで、ライン状に整形されたパルスレーザの1つの照射エリアは、例えば、パルスの長手方向が10 μ m〜30 μ mの長さで、そのパルス幅方向は300 μ m程度の長さである。そして、このような大きさのパルスレーザの走査ピッチは、例えば25 μ m程度として、つまり、25 μ mずつパルスレーザの照射位置をずらしながら非晶質シリコンを多結晶化する。また、補正TFT22のチャンネル領域22cと駆動TFT24のチャンネル領域24cを、単に近接配置されるだけでなく、垂直走査方向に交差する方向に引くことのできる同一直線上に少なくとも一部が並ぶように配置することで、同一のパルスレーザを各チャンネル領域22c、24cに照射することが可能となる。さらに、補正TFT22及び駆動TFT24のいずれも、そのチャンネル長が少なくとも30 μ m以上、より好ましく

は40 μ m以上に設定することで、チャネル形成領域に対し、上記のような大きさのパルスレーザを上記のようなピッチで画素の垂直走査方向に沿って走査することで、確実に少なくとも1つ以上の同一のパルスレーザを2つのTFTのチャネル領域22c、24cに照射することができる。

[0095] さらに、同一導電型の不純物は、各ゲート電極22g、24gをマスクとして半導体層120及び124に同時に注入するが、形成位置が非常に近いので、不純物の注入条件（注入濃度、注入エネルギー等）を揃えることができ、この観点からも補正TFT22と駆動TFT24の特性を等しくすることを可能としている。

[0096] 画素領域内を以上説明したようなレイアウトとすることにより、画素領域の水平走査方向の片側領域（図5の画素では左側にデータラインDL及び電源ラインとTFT20、22、24等の回路素子が配置され、残りの片側（図5の画素では右側）に有機EL素子26が配置されており、全体として効率的な配置が可能となっている。具体的には、このようなレイアウトにより各画素領域内で有機EL素子26をできる限り大きく形成することができ、表示装置としての開口率の向上に寄与できる。また、発光効率や要求輝度を考慮して発光色毎に画素面積を替えて各画素の寿命を揃える場合にも、TFT20、22、24、保持容量28等の面積やレイアウトを変更することなく、有機EL素子26の面積のみの変更が容易であり、設計効率の向上が図れている。

[0097] なお、図5に示すレイアウトでは、マトリクス配置された画素は、行毎に、同色画素の位置が所定ピッチだけ水平走査方向にずれたいわゆるデルタ配列が採用されており、一本のデータラインDLが、同色画素にデータ信号Vdataを供給する場合には、図5に示すようにデータラインDLは、マトリクスの列方向に蛇行しながら延び、ラインの左右に交互に配置される同色画素の選択TFT20に接続されることとなる。このようなレイアウトが採用されていることにより、図5に示す画素の次の行の画素では、上記有機EL素子26は、図5とは逆に画素の左側、TFT20、22、24等は画素の右側に配置されている。もちろん、以上に説明したレイアウトは、デルタ配列には限らず、ストライプ配列にも適用可能であり、その場合、行毎に有機EL素子と、これを制御するためのTFT等の位置関係は左右反転しない。

[0098] ここで、本実施形態の補正TFT22は、図5に示すように半導体層で構成されるチャ

ネル領域22cの幅(チャネル幅)がそのチャネル長方向で変化している。具体的には、図5においては、選択TFT20に近い方(図の上側)で幅が広く、保持容量28及び駆動TFT24との接続側(図の下側)で幅が狭くなっている。このように補正TFT22のチャネル幅がそのチャネル長方向において少なくとも他と異なる部分を設けることで、補正TFT22の配置の自由度を大きくできる。なお、補正TFT22の特性としては、最も狭いチャネル幅を基準に考えることができる。このように補正TFT22の配置自由度が高まることで、他の回路素子である駆動TFT24のゲート電極24gのレイアウトなどを効果的に行える。また、配置の自由度を大きくするためには、チャネル領域を形成する半導体層の幅(チャネル幅方向)を変更することが好適であり、他の選択TFT20、駆動TFT24等のチャネル幅を変更してより配置の自由度を高めることも可能である。

[0099] また、上述したように、実施形態に係る画素回路は、マトリクス状に配置され、表示装置が構成される。多くの場合、ガラス基板上に、有機EL素子を含む画素領域と、その周辺に各画素を駆動するための周辺ドライバ回路が形成されるが、手順としては、まず、基板上に画素領域における有機EL素子以外の回路素子と、周辺ドライバ回路とを形成し、その後、それらの回路素子の上方に有機EL素子を形成し、さらに素子側から封止基板をガラス基板100に被せて接着することで有機ELパネルが得られる。なお、実施形態の画素回路は、このような有機ELパネルには限定されず、その他の各種の表示装置に適用が可能である。特に各画素に電流駆動型の表示素子とこの素子を制御するための回路(TFT)が形成される場合に適用することで同様の効果を得ることができる。

[0100] 次に、本実施形態では、選択TFT20、補正TFT22は、マルチゲート化することがさらに好適である。これは、特に多結晶シリコン層を能動層に用いたTFTに多いリーク電流を低減するために有効だからである。リーク電流は、本実施形態では、補正TFT22、選択TFT20がオフの時にこれらTFTを介し、データラインDLに向けて流れる電流であり、これらTFTをマルチゲート化することで、リーク電流を抑制することができる。図7に示すように補正TFT22のみをマルチゲート化してもよいし、選択TFT20のみをマルチゲート化してもよい。もちろん図9に示すように両方をマルチゲート化

してもよい。

- [0101] 図7は、補正TFT22をマルチゲート化した場合の等価回路を示し、図8はこの等価回路を実現するレイアウトの一例を示す平面図である。図7の例では、補正TFT22としては、いわゆるダブルゲート構造が採用されている。具体的には、ノードTg24と選択TFT20との間に、ノードTg24にドレインが接続された第1補正TFT22-1と、この第1補正TFT22-1と選択TFT20との間に設けられた第2補正TFT22-2の2つが設けられている。第1及び第2補正TFT22-1, 22-2のゲートは、共に電源ラインPLに接続され、第1及び第2補正TFT22-1, 22-2のソースドレインは、選択TFT20とノードTg24との間に電氣的に直列接続されている。このような接続関係とすることにより、駆動TFT24と選択TFT20との間のオフリーク耐性が高まり、保持容量28に保持される駆動TFT24のゲート電圧 V_{g24} がデータラインDLにリークして適正な値から変動してしまうことを効果的に防止することができる。
- [0102] 具体的に説明すると、補正TFT22を分割することで、第1及び第2補正TFT22-1と、22-2の接続点に、選択TFT20のソース側の電圧 V_{s20} （補正TFT22-2のソース電圧 V_{d22-2} ）と、ノードTg24の電圧 V_{g24} とが分圧されて、その間の値の電圧 V_m が第1補正TFT22-1のソース電圧となる。TFTのオフリーク電流は、TFTのドレインソース間電圧 V_{ds} が1V低くなると約1桁低減する。従って、補正TFT22を分割することで、ノードTg24にドレインの接続される第1補正TFT22-1のドレインソース間電圧 V_{ds} を小さくできオフリーク電流が低減される。
- [0103] なお、図7のように、補正TFT22をマルチゲート化した場合において、駆動TFT24のゲートにその導電領域（ここではドレイン）が接続される第1補正TFT22-1のチャネル領域のサイズは、他方の例えば第2補正TFT22-2のチャネル領域のサイズと同一とする必要はない。
- [0104] 例えば、第1補正TFT22-1のチャネル領域のサイズを第2補正TFT22-2のチャネル領域のサイズよりも小さくすることにより、第1補正TFT22-1のゲート容量 C_{g22-1} を小さくできる。補正TFT22のオフ時に、そのゲート容量 C_{g22} から保持容量28に流れ込む電荷量が多いと、ノードTg24の電位が長時間にわたって高く維持され、容量ラインSCの立ち下げに追従した電圧低下速度が遅くなる。よって、第1補正TF

T22のチャンネルサイズを小さくすることで、オフ時において、保持容量28に流れ込む第1補正TFT22-1のゲート容量 C_{g22-1} からの電荷量を少なくし、ノードTg24の電圧を速く低下させることができる。この場合、第1補正TFT22-1のチャンネル領域のチャンネル長を L_1 、チャンネル幅を W_1 、第2補正TFT22-2のチャンネル領域のチャンネル長を L_2 、チャンネル幅を W_2 とすると、 $W_1 \times L_1 < W_2 \times L_2$ を満たすことが好ましい。

[0105] 第1補正TFT22-1のチャンネル長 L_1 は、オフリーク低減の要求を最低限満たす程度にできるだけ短くし、チャンネル幅 W_1 は、レイアウトの制約から許される範囲でできるだけ大きくする。第2補正TFT22-2のチャンネル長 L_2 は、長い方が、この第2補正TFT22-2のゲート容量 C_{g22-2} からノードTg24への電荷の流出を遅くすることができるが、そうするとTFTのオン抵抗が大きくなってデータの書き込み時間が長くなる。よって、 L_2/W_2 の値が小さくなるように、つまり、 L_2 を長くした分、幅 W_2 を大きくすることが好適である。従って、この観点からも上記 $W_1 \times L_1 < W_2 \times L_2$ を満たすことが好適である。

[0106] 図8は、上記のように補正TFT22をマルチゲート化した場合のレイアウトの一例を示す平面構成である。図8の例においても、選択TFT20の能動層と補正TFT22の能動層は、同一半導体層によって一体的に形成されているが、説明のため、第1補正TFT22-1、22-2の能動層を構成する半導体層には図中122の符号を付している。この半導体層122は、上述の図5のレイアウトと同様に、データラインDLに沿って隣接行方向に向かって(図では下方)延びている。

[0107] 補正TFT22-1、22-2のゲート電極22g(22g1、22g2)は、共通で、電源ラインPLの下層領域で該電源ラインPLと接続されている。そして、このゲート電極22gは、電源ラインPLとのコンタクト位置からデータラインDLに向かって水平走査方向に延び、能動層122の上方を横切る領域が第2補正TFT22-2のゲート電極22g2となり、ここから更にデータラインDLの形成領域まで延び、データラインDLを横切った直後に折り返してデータラインPLの下をくぐる。データラインDLをくぐった付近でゲート電極22gは再び能動層122の上方を覆うようにデータラインDLの延在方向に沿って次行の画素方向に向かって延び、ここで能動層122と重なる領域が第1補正TFT22-1のゲート電極22g1となる。なお、この第1補正TFT22-1のゲート電極22g1は電

源ラインPLと、能動層122との層間に形成され、能動層122をその上方に形成されている電源ラインPL及びデータラインDLから電氣的に遮蔽している。

[0108] このようにゲート電極22gをU字型に折り返すパターンとすることでデータラインDLに沿って垂直走査方向に延びる半導体層122の上方を例えば2カ所で覆うことで、ゲート電極22gにそれぞれ覆われた位置にそれぞれチャネル領域22c2, 22c1を形成することができる。半導体層122は、第2補正TFT22-2の選択TFT20のソース領域20sとの接続側から順にソース領域22s2、チャネル領域22c2(ゲート電極22g2の下層領域)、第2補正TFT22-2のドレイン領域22d2及び第1補正TFT22-1のソース領域22s1、チャネル領域22c1(ゲート電極22g1の下層)、第1補正TFT22-1のドレイン領域22d1が形成されている。そして、第1補正TFT22-1のドレイン領域22d1は、保持容量28の容量電極28eと接続され(同一半導体層)、また金属配線24eを介して駆動TFT24のゲート電極24gと接続されている。

[0109] 図8に示すようなレイアウトを採用すれば、補正TFT22をマルチゲート化(ここではダブルゲート化)しても、その設置面積の増大を極力抑えることができる。

[0110] 図9は、補正TFT22だけでなく上述の選択TFT20についてもマルチゲート化した場合の回路構成例を示す。また、図10は、図9のような回路構成を採用した場合の実際のレイアウトの一例を示す平面図である。図9の例では、選択TFTをデータラインDLに対して直列接続された2つの選択TFT20-1, 20-2より構成している。なお、2つの選択TFT20-1, 20-2のゲートは、共にゲートラインGLに接続されている。

[0111] 選択TFT20をマルチゲート化するためには、図5等に示すような選択TFT20をシングルゲートで構成したレイアウトに簡単な変更を加えることで容易に対応することができる。例えば、図10にも示すように、選択TFT20の能動層を構成する半導体層120は、選択TFT20の形成領域付近において、データラインDLから電源ラインPLで折り返すようなU字型(コ字型)の形状となっている。従って、ゲートラインGLから突出形成されるゲート電極20gのパターンを、図10に点線で示すようにさらに延長し、電源ラインPLから折り返した半導体層120の上層に重なるようにすればよい。このようにゲート電極20gを延ばし、U字型に折り返す半導体層120のゲートラインGLとの近接側と、折り返し側の2カ所にゲート電極20g1, 20g2を形成し、それぞれの下層に

チャンネル領域20c1, 20c2を形成することで、電氣的にはデータラインDLにその能動層が直列接続したダブルゲート型の選択TFT20を容易に形成することができる。また、図10にさらに示すように、ゲート電極20gの途中から更に水平走査方向に突出部を設け、能動層のU字底辺部分の上層をこの突出部が覆うようにすることでさらに3つの能動層がデータラインDLに直列接続されたトリプルゲート型の選択TFT20を得ることもできる。

[0112] 図11は、選択TFT22のマルチゲート(ダブルゲート)化の別のレイアウト例を示す。図11のレイアウトでは、水平走査方向に延びるゲートラインGLから、データラインDLとのコンタクト領域からこのゲートラインGLに沿って水平走査方向に配置された半導体層120に向かって、2つのゲート電極20g1、20g2が並んで突出形成されている。この例では、マルチゲートの選択TFT20のチャンネル領域20c1, 20c2は、ゲートラインGLの延在方向である水平走査方向に並んで配置されている。

[0113] 以上図9及び図10又は図11に示すように、補正TFT22だけでなく、選択TFT20もマルチゲート化することで、オフリーク電流をさらに効果的に抑制することができる。

[0114] 図12には、更に別の回路構成例が示されている。図12に示す1画素あたりの等価回路構成では、データラインDLに一端(第1導電領域:例えばドレイン)が接続された選択TFT20の他端(第2導電領域:例えばソース)と、前記補正TFT22の第1導電領域(例えばソース)との間に、ゲートが容量ラインSCに接続されたリーク電流抑止TFT30をさらに備えている。このリーク電流抑止TFT30は、nチャンネル型であり、補正TFT22とは、逆極性となっている。

[0115] このリーク電流抑止TFT30は、容量ラインSCがHレベルの時にオンし、Lレベルの時にオフする。従って、ゲートラインGLがHレベルの期間はオンしており、データラインDLのデータ電圧Vdataを駆動TFT24のゲートに書き込むことについては、問題を生じない。一方、データの書き込み終了した後においては、容量ラインSCがLレベルに下がるためオフする。即ち、容量ラインSCが立ち下がり、駆動TFT24のゲート電位が低電圧となった場合において、このリーク電流抑止TFT30はオフ状態を維持し、このときのデータラインDLから駆動TFT24のゲートに向けて流れるリーク電流を効果的に抑止することができる。従って、表示装置内の複数の画素における各発光輝

度の均一をさらに向上することが可能となる。なお、図12に示す構成において、さらに補正TFT22をマルチゲート化してさらなるオフリーク電流の低減を図っても良いが、回路素子の増加は開口率の低下を招く。よって開口率を最大限大きくとれ、かつ各画素での発光輝度の均一化が可能な範囲で、さらに補正TFTをマルチゲート化するかどうかを決定することが好適である。

産業上の利用可能性

[0116] 各画素に表示素子を備える表示装置等に利用可能である。

請求の範囲

- [1] データラインに一端が接続され、制御端に選択信号が入力される選択トランジスタと、

この選択トランジスタの他端に一端が接続され、制御端が所定電圧の第1電源に接続される補正トランジスタと、

この補正トランジスタの他端に制御端が接続され、一端が電流供給源としての第2電源に接続される駆動トランジスタと、

この駆動トランジスタの制御端に一端が接続され、他端がパルス電圧ラインに接続された保持容量と、

前記駆動トランジスタに流れる電流によって発光する発光素子と、
を有し、

前記パルス電圧ラインの電圧値を変更することで前記駆動トランジスタをオンする過程で、前記補正トランジスタのオンオフを変更し、これによって駆動トランジスタのオン時における制御端電圧を制御するとともに、

前記駆動トランジスタと、前記補正トランジスタとが、隣接して形成されていることを特徴とする画素回路。

- [2] 請求項1に記載の回路において、

前記選択トランジスタをオンした状態で、データラインに補正トランジスタがオンするデータ電圧を供給して、駆動トランジスタの制御端にデータ電圧に対応する電圧を保持し、その後前記選択トランジスタをオフし、その状態でパルス電圧ラインの電圧を変化させて駆動トランジスタの制御端電圧をシフトさせ、これによって補正トランジスタをオフするとともに、駆動トランジスタをオンして、データ電圧に応じた電流を駆動トランジスタに流すことを特徴とする画素回路。

- [3] 請求項1に記載の画素回路において、

前記第1電源と、第2電源は同一の電源であることを特徴とする画素回路。

- [4] 請求項1に記載の回路において、

前記補正トランジスタおよび駆動トランジスタは、pチャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変

化することを特徴とする画素回路。

[5] 請求項1に記載の画素回路において、

前記補正トランジスタ及び前記駆動トランジスタの能動層は、共に多結晶化レーザアニールによって得られた多結晶半導体から構成され、

前記補正トランジスタのチャネル長方向と前記駆動トランジスタのチャネル長方向は、前記多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に対して平行に配置され、かつ、前記補正トランジスタのチャネル領域と前記駆動トランジスタのチャネル領域は、共にその少なくとも一部が、前記パルスレーザの走査方向に交差する方向に引いた同一の直線上に位置することを特徴とする画素回路。

[6] 請求項1に記載の画素回路において、

前記データラインおよび電源ラインは垂直走査方向に延在し、前記補正トランジスタが前記データラインおよび電源ラインの間に形成されていることを特徴とする画素回路。

[7] 請求項6に記載の画素回路において、

前記駆動トランジスタは、前記電源ラインを挟んで、前記補正トランジスタの反対側に形成されることを特徴とする画素回路。

[8] 請求項6に記載の回路において、

前記選択トランジスタをオンした状態で、データラインに補正トランジスタがオンするデータ電圧を供給して、駆動トランジスタの制御端にデータ電圧に対応する電圧を保持し、その後前記選択トランジスタをオフし、その状態でパルス電圧ラインの電圧を変化させて駆動トランジスタの制御端電圧をシフトさせ、これによって補正トランジスタをオフするとともに、駆動トランジスタをオンして、データ電圧に応じた電流を駆動トランジスタに流すことを特徴とする画素回路。

[9] 請求項6に記載の画素回路において、

前記第1電源と、第2電源は同一の電源であることを特徴とする画素回路。

[10] 請求項6に記載の回路において、

前記補正トランジスタおよび駆動トランジスタは、pチャネルトランジスタであり、前記パルス電圧ラインは、前記選択トランジスタがオフした後、高レベルから低レベルに変

化することを特徴とする画素回路。

[11] 請求項6に記載の画素回路において、

前記補正トランジスタ及び前記駆動トランジスタの能動層は、共に多結晶化レーザアニールによって得られた多結晶半導体から構成され、

前記補正トランジスタのチャネル長方向と前記駆動トランジスタのチャネル長方向は、前記多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に対して平行に配置され、かつ、前記補正トランジスタのチャネル領域と前記駆動トランジスタのチャネル領域は、共にその少なくとも一部が、前記パルスレーザの走査方向に交差する方向に引いた同一の直線上に位置することを特徴とする画素回路。

[12] 複数の画素がマトリクス状に配列された表示装置であって、

各画素は、

供給電力に応じた動作をする表示素子と、

データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、

第1導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、

制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続され、第2導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、

第1電極が、前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に接続され、第2電極がパルス電圧ラインに接続された保持容量と、

を有し、

前記補正トランジスタは、その動作しきい値に応じて、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を制御し、

前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、

かつ、前記補正トランジスタと前記駆動トランジスタの少なくともチャネル領域は、共にレーザアニールによって多結晶化された半導体層によって構成され、該チャネル領域が互いに近接配置されていることを特徴とする表示装置。

[13] 請求項12に記載の表示装置において、

前記補正トランジスタのチャネル長方向と前記駆動トランジスタのチャネル長方向は、前記多結晶化レーザアニール時に照射されるライン状のパルスレーザの走査方向に対して平行に配置され、かつ、前記補正トランジスタのチャネル領域と前記駆動トランジスタのチャネル領域は、共に、前記パルスレーザの走査方向に直交する方向に引いた同一線上に少なくとも一部が位置していることを特徴とする表示装置。

[14] 請求項12に記載の表示装置において、

前記補正トランジスタのチャネル領域は、そのチャネル長方向において互いにチャネル幅の異なる部分を備えることを特徴とする表示装置。

[15] 請求項12に記載の表示装置において、

前記補正トランジスタは、前記データラインと前記電源ラインのライン間に、少なくとも一方のラインと一部が重なるように延在して形成された能動層を備えることを特徴とする表示装置。

[16] 複数の画素がマトリクス状に配列された表示装置であって、

各画素は、

供給電力に応じた動作をする表示素子と、

データラインに第1導電領域が接続され、制御端に選択信号が入力される選択トランジスタと、

第1導電領域が電源ラインに接続され、前記表示素子に電力を供給する駆動トランジスタと、

制御端が所定電圧の第1電源に接続され、第1導電領域が前記選択トランジスタの第2導電領域に接続され、第2導電領域が前記駆動トランジスタの制御端に接続された補正トランジスタと、

前記駆動トランジスタの制御端及び前記補正トランジスタの第2導電領域に第1電極が接続され、第2電極がパルス電圧ラインに接続された保持容量と、

を有し、

前記補正トランジスタは、その動作しきい値に応じて、

前記パルス電圧ラインの電圧の変動に応じて前記駆動トランジスタの制御端電圧が変化し、これに応じて前記駆動トランジスタがオン状態となる際の前記制御端電圧を制御し、

前記補正トランジスタと前記駆動トランジスタとは同一導電型のトランジスタによって構成されており、

かつ、前記補正トランジスタの能動層の少なくとも一部は、間に絶縁層を挟んで前記電源ラインの下層位置に形成されていることを特徴とする表示装置。

[17] 請求項16に記載の表示装置において、

前記第1電源は電源ラインが兼用し、

前記補正トランジスタの能動層と前記電源ラインとの層間には、前記電源ラインに接続された前記補正トランジスタの制御電極が形成されていることを特徴とする表示装置。

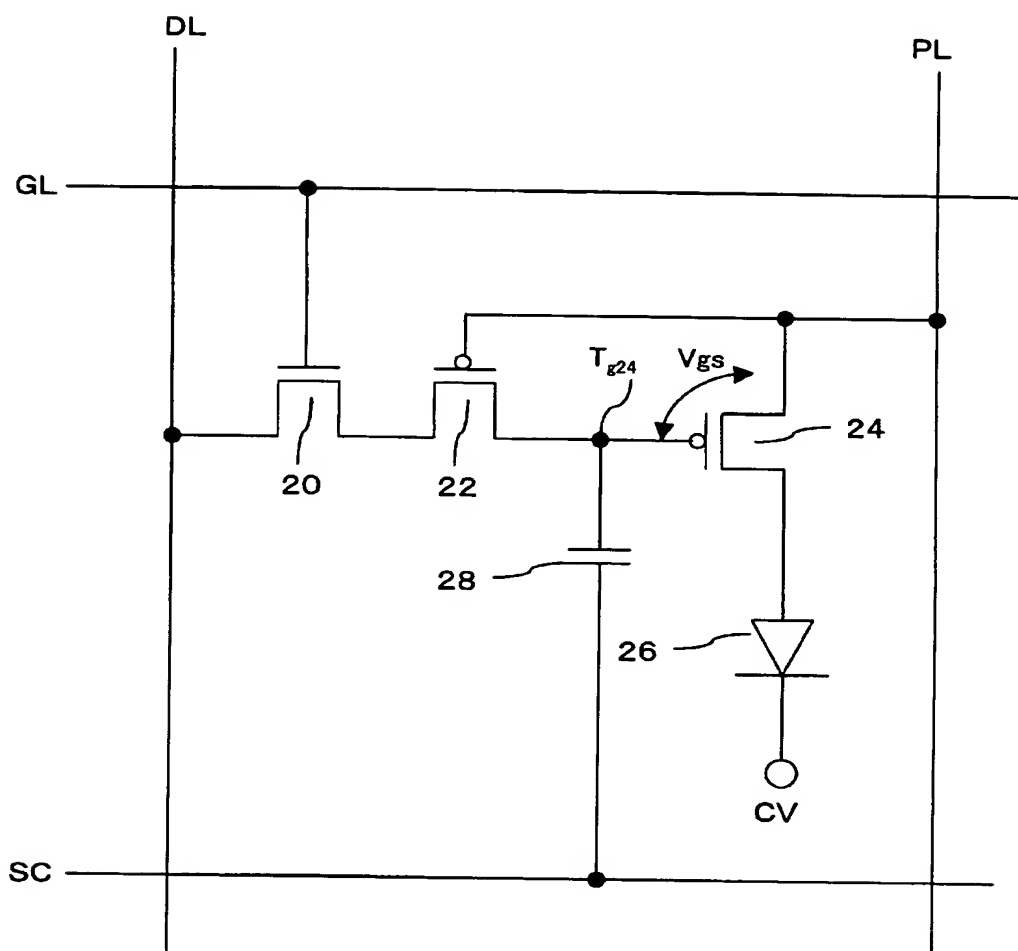
[18] 請求項16に記載の表示装置において、

前記補正トランジスタのチャネル領域は、そのチャネル長方向において互いにチャネル幅の異なる部分を備えることを特徴とする表示装置。

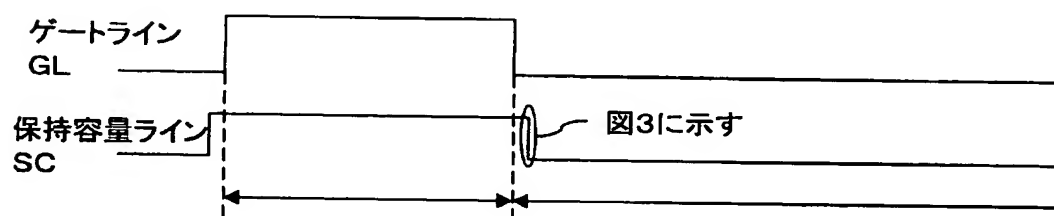
[19] 請求項16に記載の表示装置において、

前記補正トランジスタは、前記データラインと前記電源ラインのライン間に、少なくとも一方のラインと一部が重なるように延在して形成された能動層を備えることを特徴とする表示装置。

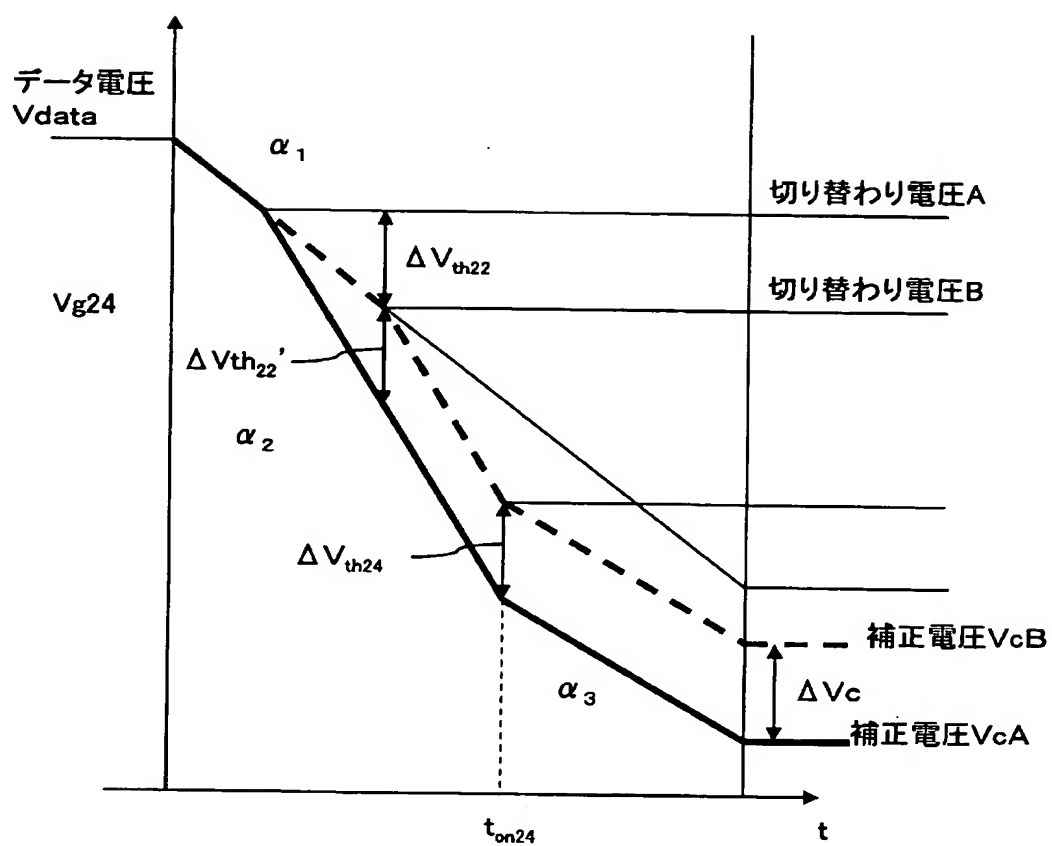
[図1]



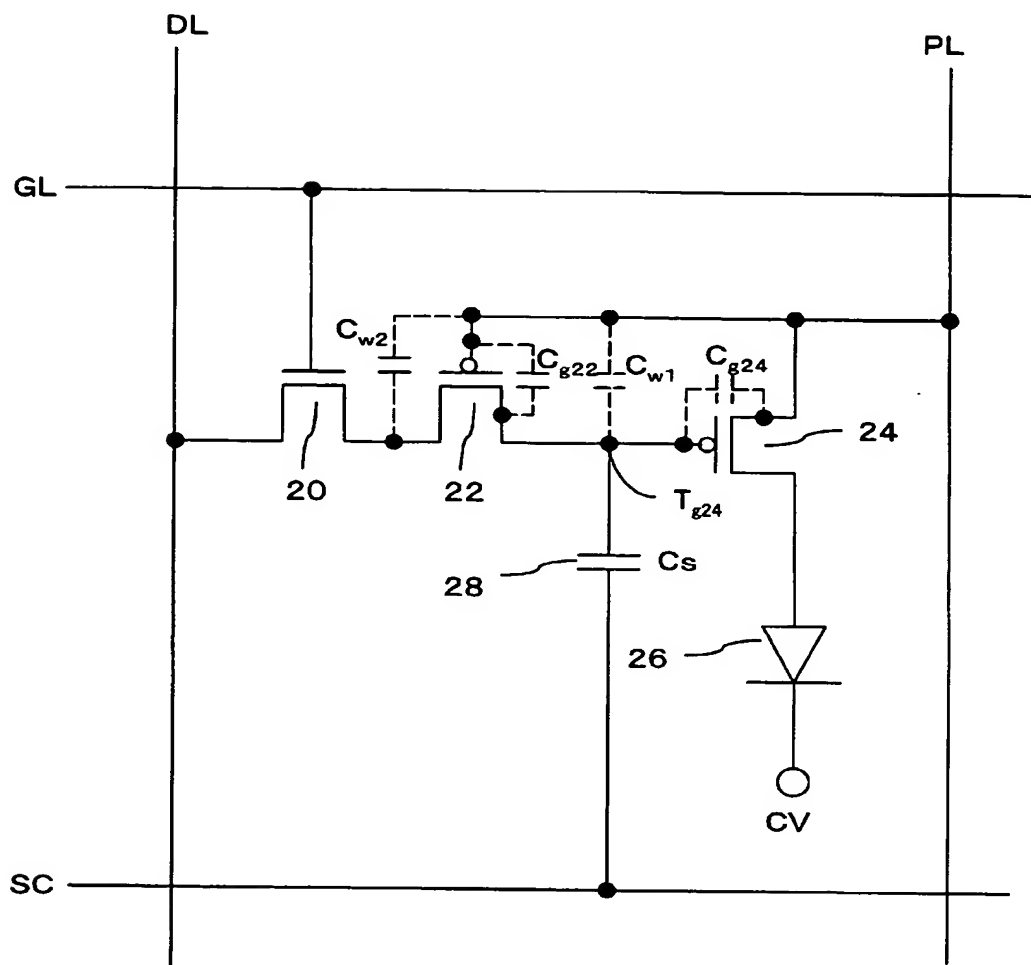
[図2]



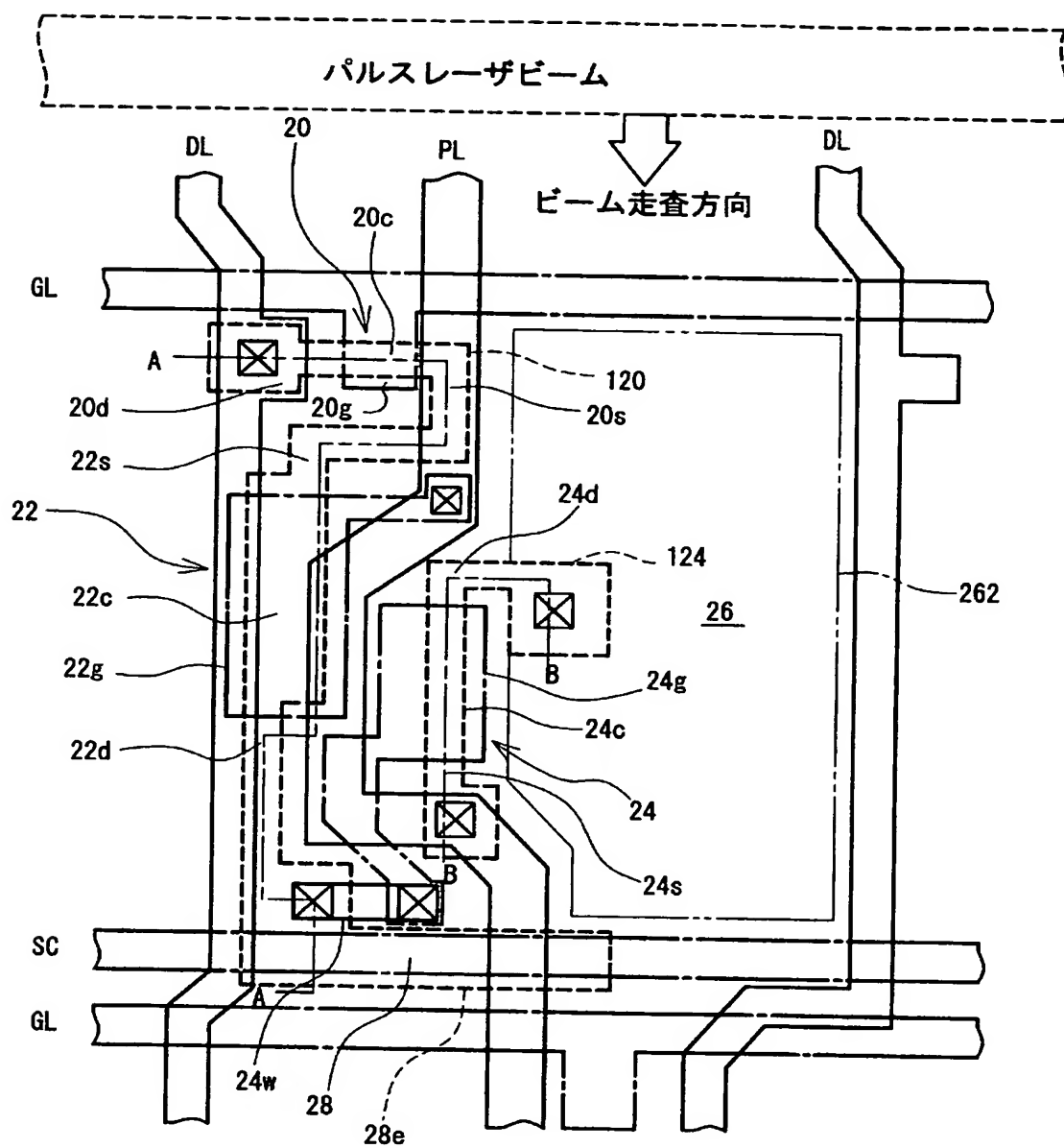
[図3]



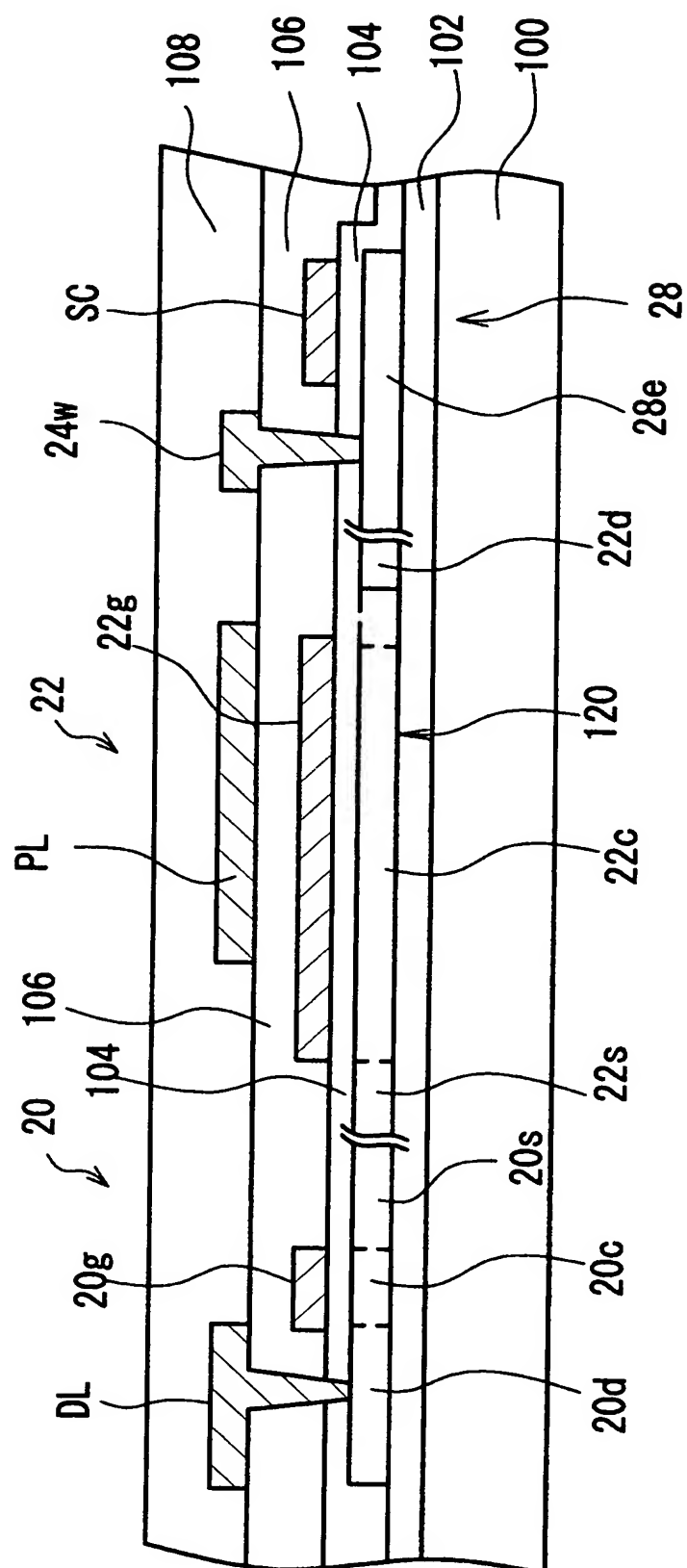
[図4]



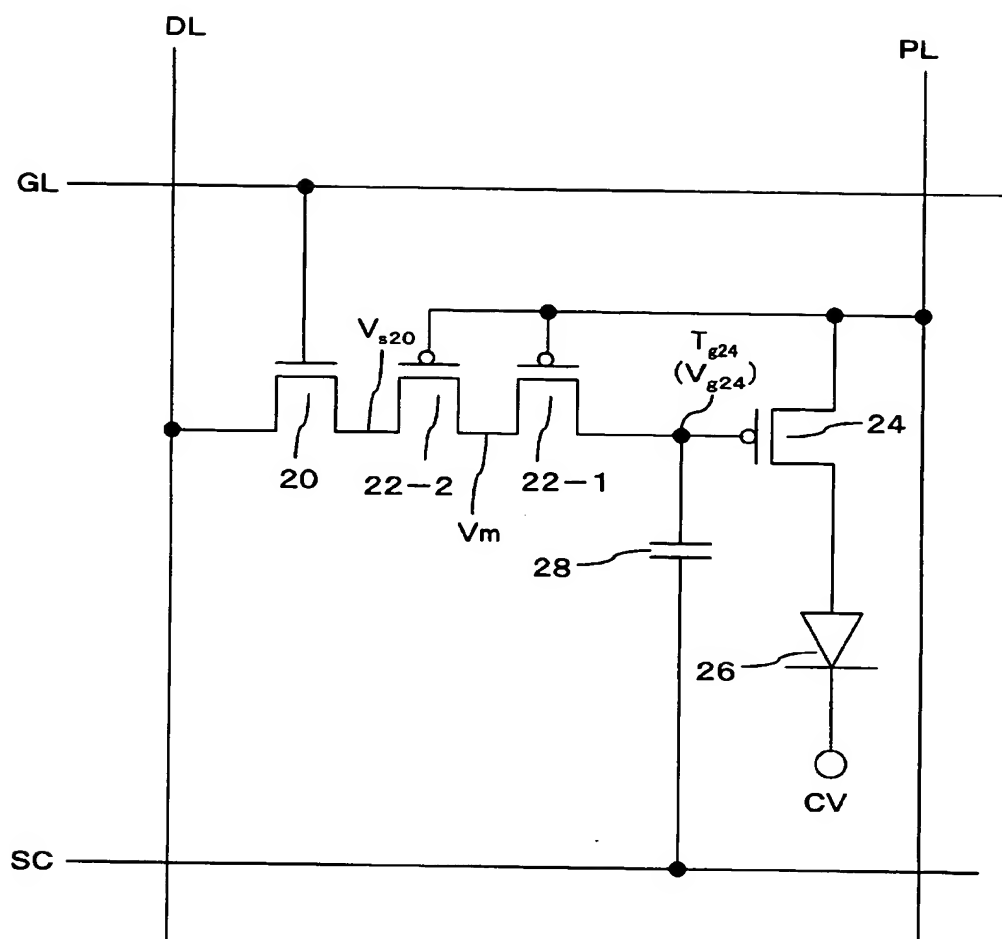
[図5]



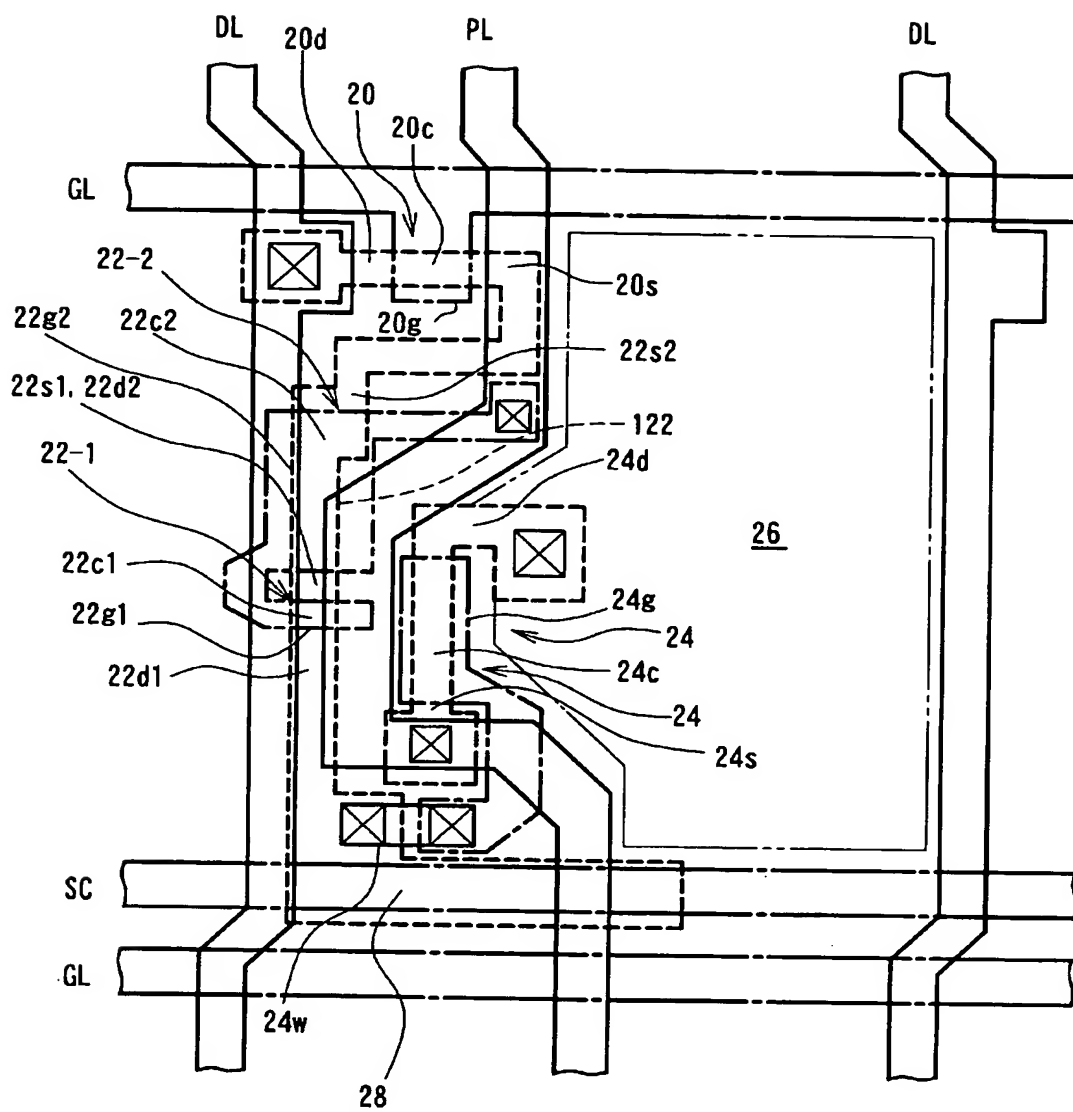
[図6A]



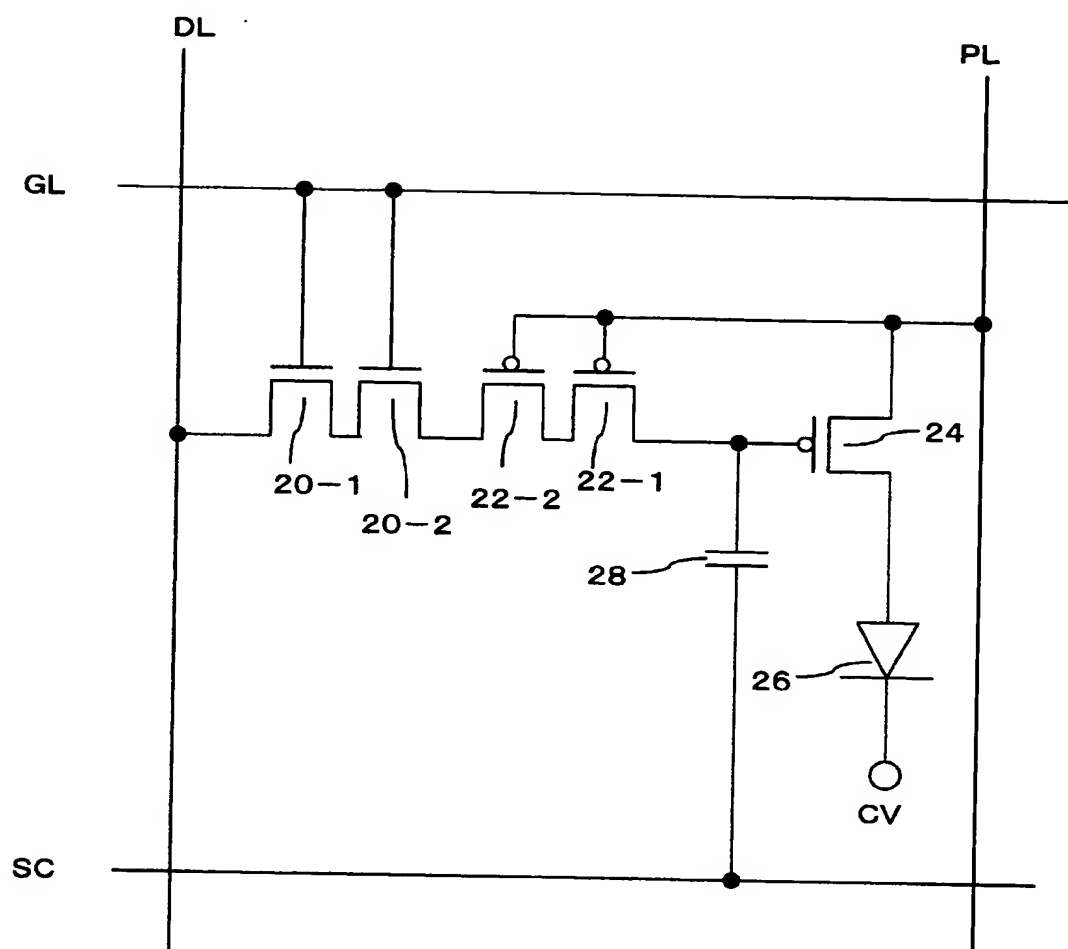
[図7]



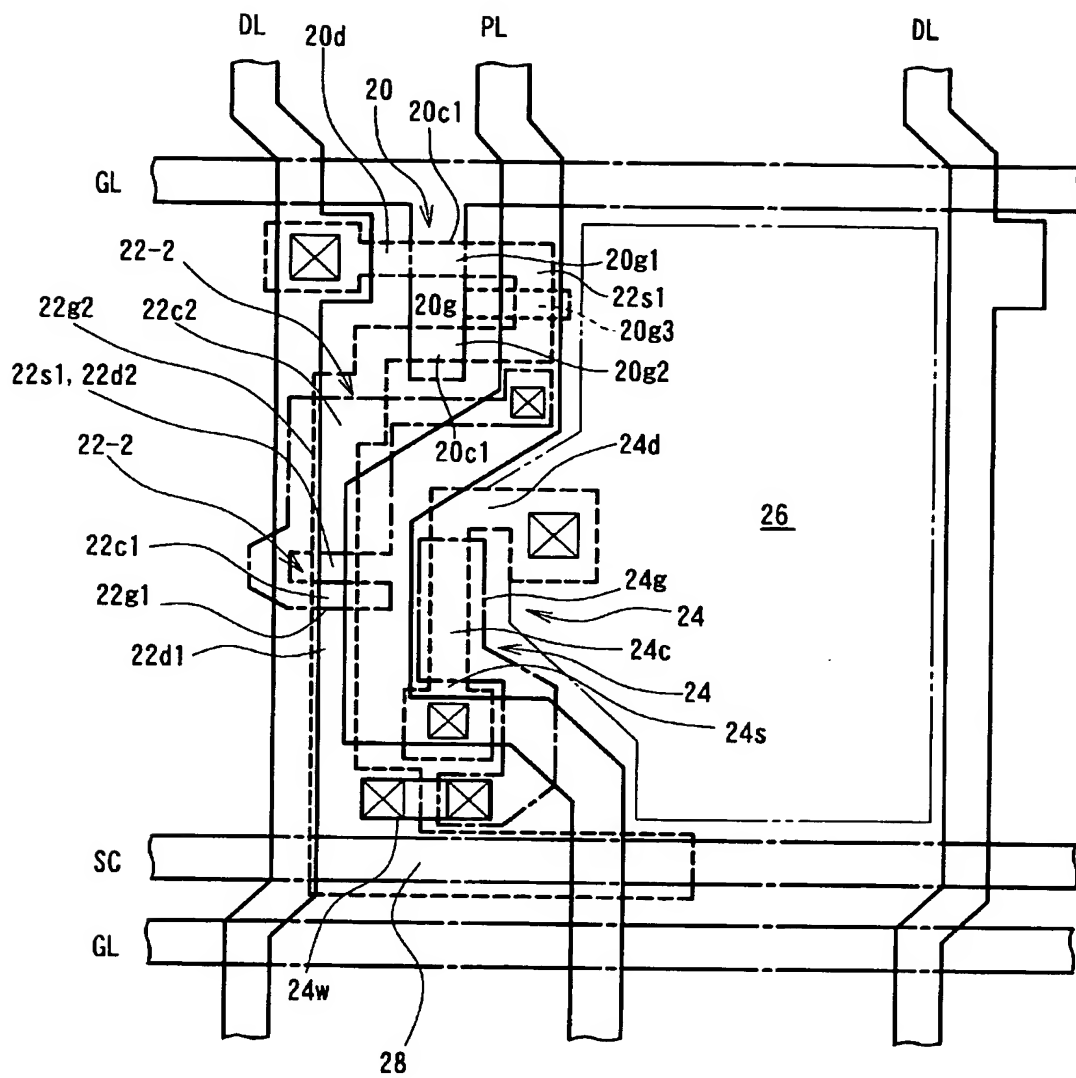
[図8]



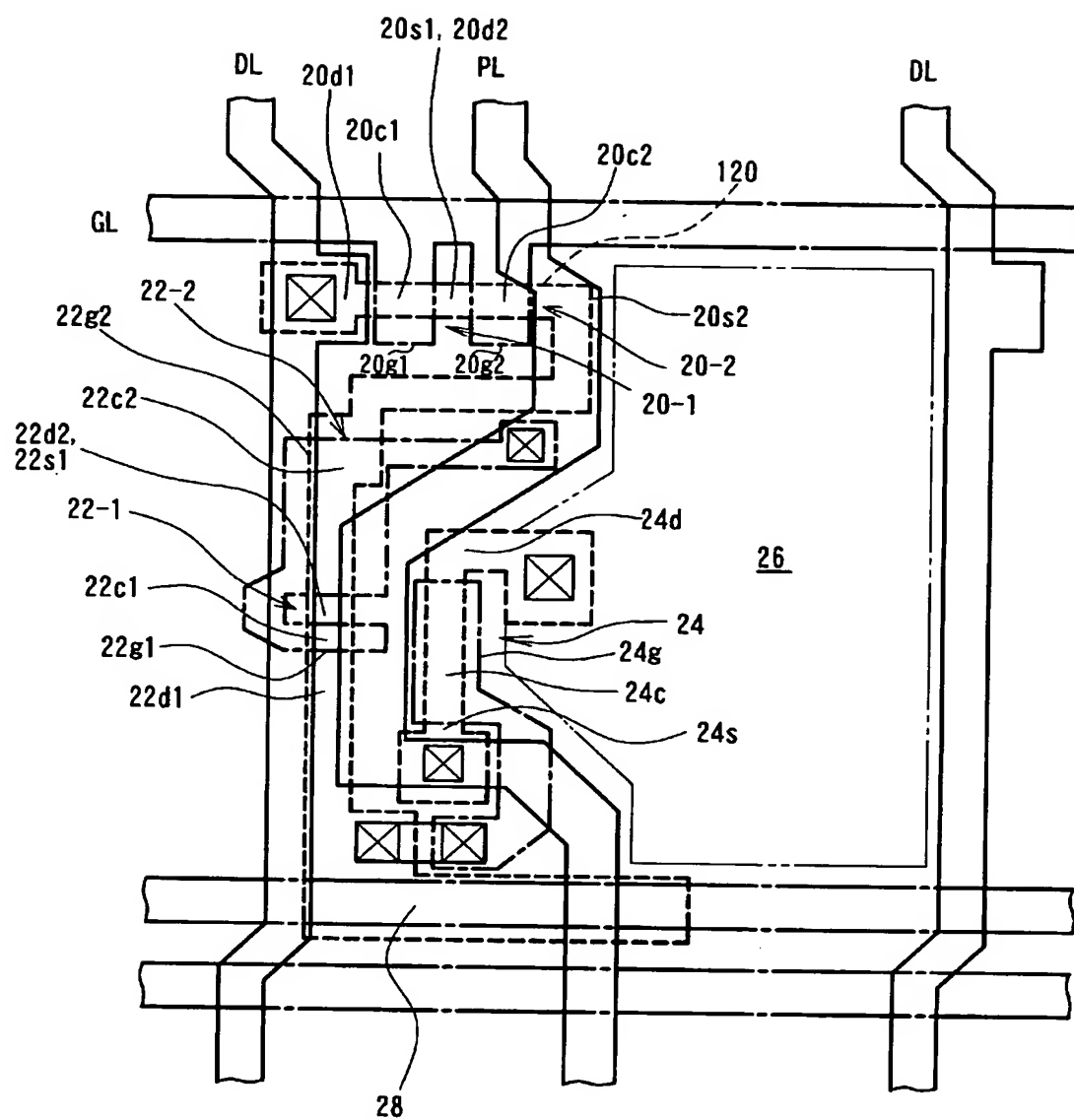
[図9]



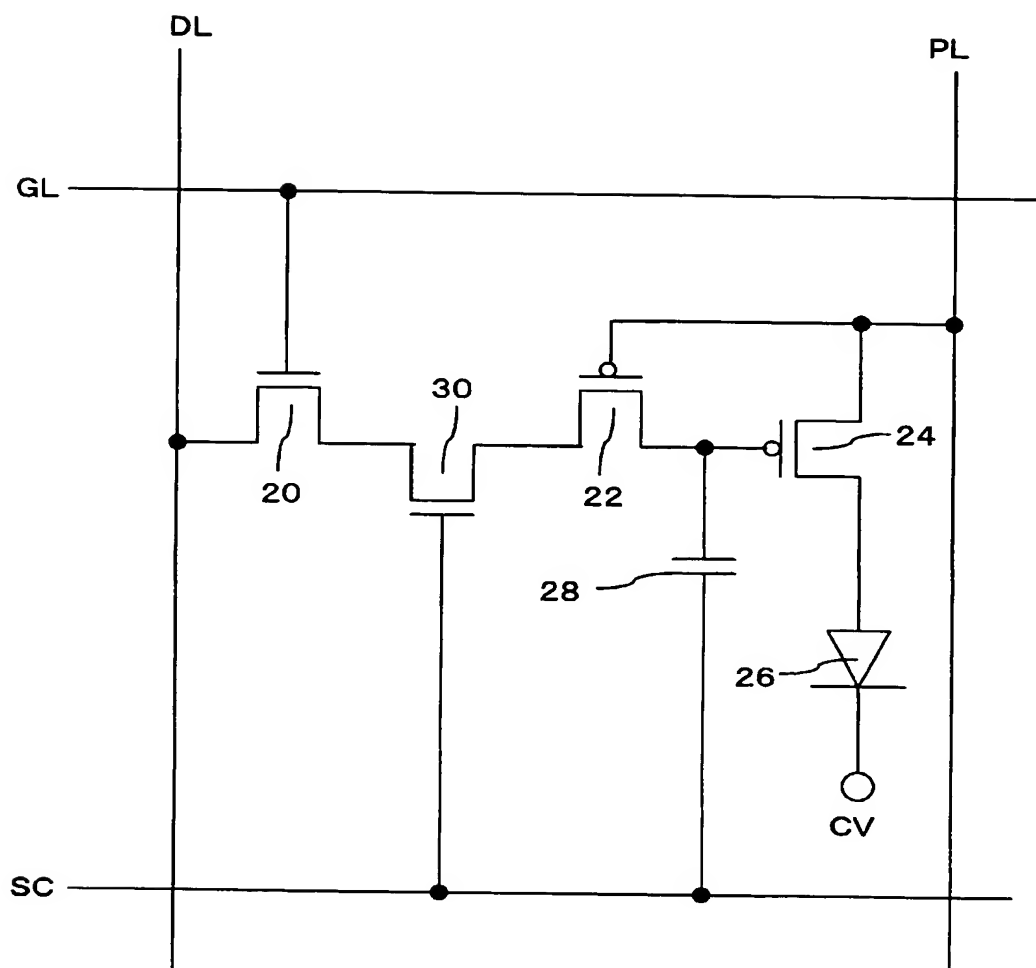
[図10]



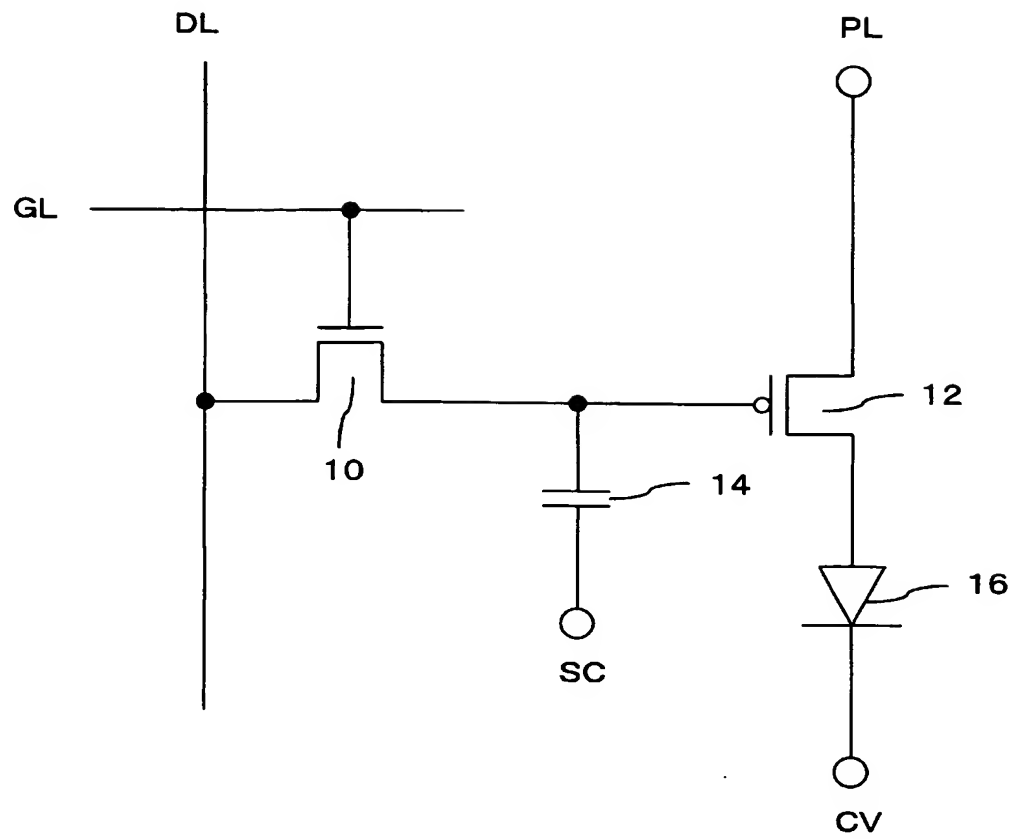
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016542

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G09G3/30, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G09G3/30, 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-272233 A (Seiko Epson Corp.), 08 October, 1999 (08.10.99), Full text; all drawings & WO 1999/48078 A1 & EP 1003150 A1 & US 6362798 B1	1-19
A	JP 2003-202833 A (Semiconductor Energy Laboratory Co., Ltd.), 18 July, 2003 (18.07.03), Full text; all drawings & US 2003/0132931 A1	1-19
A	JP 2001-42826 A (Pioneer Electronic Corp.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	1-19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
11 January, 2005 (11.01.05)

Date of mailing of the international search report
25 January, 2005 (25.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016542

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2004-126526 A (Seiko Epson Corp.), 22 April, 2004 (22.04.04), Full text; all drawings & US 2004/0026723 A1 & CN 1482586 A & KR 2004012482 A	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 G09G3/30, 3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 G09G3/30, 3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国実用新案登録公報 1996-2005年
 日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-272233 A (セイコーエプソン株式会社), 1 999.10.08, 全文全図 & WO 1999/48078 A1 & EP 1003150 A1 & US 6362798 B1	1-19
A	JP 2003-202833 A (株式会社半導体エネルギー研 究所), 2003.07.18, 全文全図 & US 2003/0132931 A1	1-19

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

11.01.2005

国際調査報告の発送日

25.1.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 資本 禎広

2G 9509

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-42826 A (パイオニア株式会社), 2001.02.16, 全文全図 (ファミリーなし)	1-19
P, A	JP 2004-126526 A (セイコーエプソン株式会社), 2004.04.22, 全文全図 & US 2004/0026723 A1 & CN 1482586 A & KR 2004012482 A	1-19